

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-177892

(43)Date of publication of application : 02.07.1999

---

(51)Int.Cl. H04N 5/335  
H01L 27/146

---

(21)Application number : 09-336955 (71)Applicant : NIKON CORP

(22)Date of filing : 08.12.1997 (72)Inventor : NOMURA HITOSHI

---

## (54) SOLID STATE IMAGE PICKUP DEVICE FOR DETECTING MOVEMENT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To attain movement detection in a solid state image pickup device by sequentially outputting a pixel output for a preceding frame stored in the past from a light receiving part for a specific line and a pixel output for a newly stored current frame from the same light receiving part to a vertical reading line mutually comparing the pixel outputs of the preceding frame and the current frame which are time-dividedly transferred and reducing isolated areas in a logical change.

**SOLUTION:** Two kinds of control pulses  $\phi_{SA}$  and  $\phi_{SB}$  are connected to the sample control terminals of different value detection circuits 6 in common and output terminals Q1 to Qm are respectively connected to the parallel inputs of a shift register 9. A control pulse  $\phi_{LD}$  for determining the entry of parallel data supplied from a horizontal scanning circuit 8 or the like and a transfer clock  $\phi_{CK}$  for serial transfer are inputted to the register 9. Since the circuit 6 mutually compares pixel outputs for two frames time-dividedly outputted to the vertical reading line 2 the movement of an object to be detected can be detected.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] A solid state camera for motion detection characterized by comprising the following.

Two or more light sensing portions which are arranged by matrix form and generate a pixel output according to incident light.

Two or more vertical read-out lines formed for every sequence of two or more said

light sensing portions.

A pixel output of a previous frame which carried out past maintenance from a light sensing portion of this specific line choosing a specific line of two or more of said light sensing portions one by one.

A vertical transfer circuit which outputs a pixel output of a present frame newly held from a light sensing portion of this specific line one by one to said vertical read-out lineA comparison circuit which measures a pixel output of a previous frame and a pixel output of a present frame which are provided for said every vertical read-out lineand are transmitted to time sharing via said vertical read-out lineA horizontal transfer circuit which carries out horizontal transfer of the comparison result of said comparison circuit outputted for said every vertical read-out lineand a logic operation circuit which performs a logical operation which reduces an isolated field of logic change to a comparison result of said comparison circuit.

[Claim 2]In the solid state camera for motion detection according to claim 1 either [ which is transmitted to time sharing via said vertical read-out line ] a pixel output of a previous frame or a pixel output of a present frame is incorporated selectivelyA solid state camera for motion detection provided with a picture signal output circuit which carries out horizontal transfer.

[Claim 3]A solid state camera for motion detection characterized by comprising the following.

A level discrimination circuit which carries out level distinction of the picture signal outputted from said picture signal output circuit in the solid state camera for motion detection according to claim 2.

An output switch circuit which switches and outputs an output of said logic operation circuitand a comparison result of said comparison circuit according to a discriminated result of said level discrimination circuit.

[Claim 4]The solid state camera for motion detection according to any one of claims 1 to 3 characterized by comprising the following.

A bit memory circuit where said logic operation circuit memorizes said comparison result for every pixel by which horizontal transfer is carried out.

A level AND gate which performs an AND operation between a memory content of said bit memory circuitand said comparison result.

[Claim 5]The solid state camera for motion detection according to any one of claims 1 to 3 characterized by comprising the following.

A line memory circuit where said logic operation circuit memorizes said comparison result for every line.

A vertical AND gate which performs an AND operation between a memory content of said line memory circuitand said comparison result.

[Claim 6]The solid state camera for motion detection according to any one of claims 1 to 3 characterized by comprising the following.

A frame memory circuit where said logic operation circuit memorizes said comparison result for every one screen.

A time-axis AND gate which performs an AND operation between a memory content of said frame memory circuit and said comparison result.

[Claim 7]The solid state camera for motion detection according to any one of claims 1 to 6 characterized by comprising the following.

A pixel output attaching part which said vertical transfer circuit is provided for said every light sensing portion holds a pixel output from this light sensing portion and outputs a held pixel output by un-destroying.

A connection separation part which is provided for said every pixel output attaching part and connects/ separates an output stage and said vertical read-out line of said pixel output attaching part.

After outputting a pixel output of a previous frame by which past maintenance was carried out in said pixel output attaching part of a specific line to said vertical read-out line via said connection separation part A vertical transfer control means which makes a pixel output of a present frame which made hold a pixel output of a present frame newly to said pixel output attaching part and was held from said light sensing portion at its output to said vertical read-out line via said connection separation part.

[Claim 8]The solid state camera for motion detection according to claim 7 characterized by comprising the following.

An amplifier which outputs a pixel output corresponding to a pixel output which said pixel output attaching part has the regulatory region holding a pixel output and was held in this regulatory region.

A transfer circuit which transmits a pixel output generated by said light sensing portion to regulatory region of said amplifier.

A reset circuit which resets a pixel output accumulated in regulatory region of said amplifier.

[Claim 9]A solid state camera for motion detection which said amplifier is the assembling-die electrolysis effect transistor in the solid state camera for motion detection according to claim 8 and is characterized by accumulating soon a pixel output transmitted via said transfer circuit in a gate region of said junction field effect transistor.

[Claim 10]In the solid state camera for motion detection according to any one of claims 1 to 9 said comparison circuit A solid state camera for motion detection being a circuit which judges whether a pixel output of a present frame and a pixel output of a

previous frame are in tolerance level and it is in agreement and outputs a binary-ized signal according to truth of a decision result.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the solid state camera for motion detection which detects an inter-frame difference. In particular this invention relates to the solid state camera for motion detection which reduced the erroneous detection of the motion by a very small motion noise etc. of a background making an external processing circuit unnecessary in motion detection.

[0002]

[Description of the Prior Art] Conventionally image data is picturized one by one via a solid state camera and the image processing device for motion detection which performs motion detection based on the inter-frame difference in these image data is known. Drawing 9 is a figure showing this kind of image processing device 100 for motion detection.

[0003] In Drawing 9 the image processing device 100 for motion detection. The solid state camera 101 and AD conversion circuit 102 which changes the picture signal (analog signal) from the solid state camera 101 into a digital signal. The image memory (the 1st image memory) 103 and the image memory (the 2nd image memory) 104 which save the digital signal from AD conversion circuit 102. It comprises the image processing circuit 105 which compares mutually the digital image data saved at this image memory 103 104 and detects a motion.

[0004] In such an image processing device 100 for motion detection of composition after the picture signal (analog signal) of the 1st frame acquired with the solid state camera 101 is first changed into a digital signal in AD conversion circuit 102 it is saved at the 1st image memory 103. Next in the 2nd frame that follows the 1st frame (the last frame) after the picture signal (analog signal) acquired by the solid state camera 101 is changed into a digital signal in AD conversion circuit 102 it is saved at the 2nd image memory 104.

[0005] In the image processing circuit 105 the digital signal saved at the 1st image memory 103 and the digital signal saved at the 2nd image memory 104 are compared with a pixel unit. A pixel different [beyond predetermined threshold] is detected at this time and the signal (henceforth a "moving body signal") which shows detection of a dynamic body is generated. Such an inter-frame comparison enables it to perform motion detection of a photographic subject.

[0006]

[Problem(s) to be Solved by the Invention] However in the above-mentioned

conventional image processing device 100 for motion detection there was a fault that it is complicated and the image processing device 100 whole for motion detection was enlarged and the peripheral circuit of the solid state camera 101 became expensive.

The picture signal outputted from the solid state camera 101 is an analog signal and is supplied to AD conversion circuit 102 with the analog signal. Therefore the transmission line of an analog signal will be taken about and the fault of being easy to be influenced by ambient noise is also produced.

[0007] In the above-mentioned conventional image processing device 100 for motion detection the dynamic range of a picture signal (analog signal) is restricted in AD conversion circuit 102. Usually the input dynamic range of AD conversion circuit 102 is narrower than the dynamic range of the solid state camera 101. Therefore the fault of being effectively unutilizable also had a large dynamic range of the solid state camera 101 in process of the detection processing of a dynamic body.

[0008] There was a possibility that the timing of a sampling might shift to a previous frame and a present frame slightly in between in AD conversion circuit 102. Thus when the timing of a sampling shifts in inter-frame light gap arises in the picture element position which should be compared in the external image processing circuit 105. When such gap arises even if it is a stillness object an inter-frame difference will be produced in an edge part etc. Therefore the fault that the accuracy and reliability of dynamic body detection become low arises.

[0009] In order to avoid the above fault the memory for memorizing the picture signal in the last frame and the present frame for every pixel of the solid state camera 101 is provided. Providing the comparison circuit which compares the picture signal furthermore memorized by this memory for every pixel and generating a moving body signal for every pixel is also considered. However in such a measure the structure of a unit pixel becomes complicated and the fault of causing decline in the numerical aperture of the solid state camera 101 and the fall of resolution arises. In the above-mentioned measure since only a moving body signal was outputted from each pixel there was also a fault that the picture signal which should be originally outputted in a solid state camera could not be acquired simultaneously.

[0010] By the way generally in the solid state camera which consists of semiconductor devices originating in fluctuation of an electric charge etc. and generating shot noise (shot noise) is known. The size of such a shot noise is proportional to the square root of the size of a signal. Therefore shot noise occurs greatly so that a field is bright and a signal level is large. As a result in a bright part shot noise appears greatly in an inter-frame difference. If the shot noise included in this inter-frame difference exceeds the threshold of dynamic body distinction the mistaken motion detection will be made.

[0011] In order to avoid the erroneous detection by such a shot noise it is possible to set up the comparison threshold of an inter-frame difference highly uniformly. However in such a measure there was a problem of motion detection sufficient about the photographic subject of low contrast becoming impossible. Also when the leaf of

trees shakes by a wind for example except the case mentioned above an inter-frame difference arises. Such a motion is a very small motion of background parts and it is preferred that it is distinguishable from the motion for [ which should be supervised ] detection.

[0012] Then an object of an invention of a statement is to provide the solid state camera for motion detection which makes picture comparison processing in the exterior unnecessary and does not detect a very small motion of shot noise or background parts in motion detection in any 1 paragraph of claims 1–10. Especially the invention according to claim 2 combines with the purpose of claim 1 and an object of the invention is to provide the solid state camera for motion detection which enabled the output of a moving body signal and a picture signal simultaneously.

[0013] The invention according to claim 3 combines with the purpose of claim 2 and an object of the invention is to provide the solid state camera for motion detection which reduces the erroneous detection of the motion by shot noise selectively.

[0014] An object of the invention according to claim 4 is to provide the solid state camera for motion detection which reduces the erroneous detection of a motion about a picture horizontal direction. An object of the invention according to claim 5 is to provide the solid state camera for motion detection which reduces the erroneous detection of a motion about a screen perpendicular direction. An object of the invention according to claim 6 is to provide the solid state camera for motion detection which reduces the erroneous detection of a motion about a time base direction.

[0015]

[Means for Solving the Problem] (Claim 1) Two or more light sensing portions which the invention according to claim 1 is arranged by matrix form and generate a pixel output according to incident light. Choosing two or more vertical read-out lines formed for every sequence of two or more light sensing portions and a specific line of two or more light sensing portions one by one. A vertical transfer circuit which outputs a pixel output of a previous frame which carried out past maintenance from a light sensing portion of this specific line and a pixel output of a present frame newly held from a light sensing portion of this specific line one by one to a vertical read-out line. A comparison circuit which measures a pixel output of a previous frame and a pixel output of a present frame which are provided for every vertical read-out line and are transmitted to time sharing via a vertical read-out line. It has a horizontal transfer circuit which carries out horizontal transfer of the comparison result of a comparison circuit outputted for every vertical read-out line and a logic operation circuit which performs a logical operation which reduces an isolated field of logic change to a comparison result of a comparison circuit and a solid state camera for motion detection is constituted.

[0016] In such a solid state camera for motion detection of composition the time sharing output of "an electrical signal of a previous frame" and the "electrical signal

of a present frame" is carried out by operation of a vertical transfer circuit per line on a vertical read-out line. In a comparison circuit an electrical signal of a previous frame and "an electrical signal of a present frame" by which a time sharing output is carried out in this way are incorporated and these comparison is performed. A horizontal transfer circuit carries out horizontal transfer of this comparison result.

[0017]A logic operation circuit performs a logical operation which reduces an isolated field of logic change about this comparison result. Generally an inter-frame difference produced by shot noise every small motion of a background etc. is generated at random and momentarily. Therefore the greater part of such a noise component appears in an inter-frame comparison result as an isolated field (in the cases of many isolated point) of logic change.

[0018]On the other hand a candidate for detection has the area of a grade which it is on a screen and is collected and moves. Therefore a motion such for detection appears in an inter-frame comparison result as a strip region etc. which met an edge part.

Then the above-mentioned logic operation circuit becomes possible [reducing efficiently erroneous detection of a motion resulting from a very small motion of shot noise and a background] by performing a logical operation which reduces an isolated field of logic change.

[0019]Although the expression a "frame" is used in a statement of claim 1 this means it as a picture for one top in this application. A solid state camera for motion detection of claim 1 does not need to be limited to what performs the Progres SHIBBU scan for example seems so to perform interlace scanning. In such interlace scanning motion detection is performed based on a difference with a former previous field from the present field and the present field.

[0020](Claim 2) In the solid state camera for motion detection according to claim 1 the invention according to claim 2 Either [which is transmitted to time sharing via a vertical read-out line] a pixel output of a previous frame or a pixel output of a present frame was incorporated selectively and it had a picture signal output circuit which carries out horizontal transfer.

[0021]In such composition it becomes possible to output a picture signal of a present frame or a previous frame by outputting selectively one of the pixel outputs to which a vertical read-out line top is transmitted by time sharing.

[0022]Since especially output operation of such a picture signal is performed without occupying a vertical read-out line it does not bar operation by the side of motion detection. Therefore it becomes possible to output a moving body signal and a picture signal simultaneously.

(Claim 3) In the solid state camera for motion detection according to claim 2 the invention according to claim 3 It had a level discrimination circuit which carries out level distinction of the picture signal output from a picture signal output circuit and an output switch circuit which switches and outputs an output of a logic operation circuit and a comparison result of a comparison circuit according to a discriminated

result of a level discrimination circuit.

[0023]By the waysince it produces in proportion to a square root of a signal levelshot noise appears intensively in a high luminance part of a picture signal. Thereforea level discrimination circuit becomes possible [ pinpointing a field which there is much shot noise and is included ] by distinguishing whether a picture signal exceeds a predetermined level. Thenfor examplein an output switch circuitif a picture signal exceeds a predetermined levelthe selected output of the output of a logic operation circuit will be carried outand if a picture signal is less than a predetermined levela comparison result of a comparison circuit may be outputted. In such switching operationit becomes possible to reduce selectively and certainly erroneous detection of a motion resulting from shot noise. About a field with little shot noiseremoving an isolated field unnecessarily is lost and it becomes possible to detect a motion for [ small ] detection certainly.

[0024]Converselywhen a signal level is extremely smallrandom noise made from a circuit system etc. becomes superior (when a peak AGC circuit etc. intervene all over a circuit especiallyrandom noise is amplified with reduction in signal leveland it appears greatly). Thenfor examplein an output switch circuitif a picture signal is less than a predetermined levelthe selected output of the output of a logic operation circuit will be carried outand if a picture signal exceeds a predetermined levela comparison result of a comparison circuit may be outputted. In such switching operationit becomes possible to reduce selectively and certainly erroneous detection of a motion resulting from random noise. About a field which has a large signal leveland little random noiseremoving an isolated field unnecessarily is lost and it becomes possible to detect a motion for [ small ] detection certainly.

[0025]It becomes possible to detect a motion for [ small ] detection as much as possiblereducing an error of motion detection by noise etc. selectively like an above quoted example according to a discriminated result of a level discrimination circuit by performing an output change with "an output of a logic operation circuit"and "a comparison result of a comparison circuit."

The invention according to claim 4 (claim 4) is [ this invention ] characterized by that the solid state camera for motion detection according to any one of claims 1 to 3 comprises the following.

A bit memory circuit where a logic operation circuit memorizes a comparison result for every pixel by which horizontal transfer is carried out.

A level AND gate which performs an AND operation between a memory content of a bit memory circuitand a comparison result.

[0026]The invention according to claim 5 (claim 5) is [ this invention ] characterized by that the solid state camera for motion detection according to any one of claims 1 to 3 comprises the following.

A line memory circuit where a logic operation circuit memorizes a comparison result

for every line.

A vertical AND gate which performs an AND operation between a memory content of a line memory circuit and a comparison result.

[0027] The invention according to claim 6 (claim 6) is [ this invention ] characterized by that the solid state camera for motion detection according to any one of claims 1 to 3 comprises the following.

A frame memory circuit where a logic operation circuit memorizes a comparison result for every one screen.

A time-axis AND gate which performs an AND operation between a memory content of a frame memory circuit and a comparison result.

[0028] The invention according to claim 7 (claim 7) is [ this invention ] characterized by that the solid state camera for motion detection according to any one of claims 1 to 6 comprises the following.

A pixel output attaching part which a vertical transfer circuit is provided for every light sensing portion holds a pixel output from this light sensing portion and outputs a held pixel output by un-destroying.

A connection separation part which is provided for every pixel output attaching part and connects / separates an output stage and a vertical read-out line of a pixel output attaching part.

After outputting a pixel output of a previous frame by which past maintenance was carried out in a pixel output attaching part of a specific line to a vertical read-out line via a connection separation part A vertical transfer control means which makes a pixel output of a present frame which made hold a pixel output of a present frame newly to a pixel output attaching part and was held from a light sensing portion at its output to a vertical read-out line via a connection separation part.

[0029] The invention according to claim 8 (claim 8) is [ this invention ] characterized by that the solid state camera for motion detection according to claim 7 comprises the following.

An amplifier which outputs a pixel output corresponding to a pixel output which a pixel output attaching part has the regulatory region holding a pixel output and was held in this regulatory region.

A transfer circuit which transmits a pixel output generated by a light sensing portion to regulatory region of an amplifier.

A reset circuit which resets a pixel output accumulated in regulatory region of an amplifier.

[0030] (Claim 9) A pixel output which an amplifier of the invention according to claim 9 is the assembling-die electrolysis effect transistor in the solid state camera for

motion detection according to claim 8 and was transmitted via a transfer circuit is soon accumulated in a gate region of a junction field effect transistor.

[0031](Claim 10) In the solid state camera for motion detection according to any one of claims 1 to 9 the invention according to claim 10 a comparison circuit A pixel output of a present frame and a pixel output of a previous frame judge whether it is in tolerance level and is in agreement and are characterized by being a circuit which outputs a binary-ized signal according to truth of a decision result.

[0032]

[Embodiment of the Invention] Hereafter an embodiment of the invention is described based on a drawing.

(A 1st embodiment) A 1st embodiment is an embodiment corresponding to an invention given in claims 1247-10.

[0033] Drawing 1 is a figure showing the circuitry of a 1st embodiment. In Drawing 1 the matrix array of the unit pixel 1 is carried out to the solid state camera 10 for motion detection at an  $n$  line  $m$  sequence. Common connection of the output of these unit pixels 1 is carried out for every vertical file and it forms the vertical read-out line 2 of  $m$  duty. The vertical scanning circuit 3 for determining the timing of vertical transfer as the solid state camera 10 for motion detection is arranged. From this vertical scanning circuit 3  $3n$  kinds of control pulse  $\phi_{TG1}$   $\phi_{PX1}$  and  $\phi_{RG1}$  are supplied to the unit pixel 1 of the 1st line respectively. Similarly  $3$  kinds of control pulse  $\phi_{TG2-n}$  outputted from the vertical scanning circuit 3  $\phi_{PX2-n}$   $\phi_{RG2-n}$  are supplied also to 2 [remaining] - eye  $n$  line 1 respectively.

[0034] The current source 4 the difference processing circuit 5 (correlated double sampling circuit) and the different value detector circuit 6 for supplying bias current are connected to the vertical read-out line 2 of the above-mentioned  $m$  duty respectively. Control pulse  $\phi_V$  is supplied to the specimen control terminal of these  $m$  difference processing circuits 5 in common. Such control pulse  $\phi_V$  is outputted for example from the vertical scanning circuit 3 etc. Common connection of all of the output terminal of the  $m$  difference processing circuits 5 is carried out and it forms the level read-out line 7 for picture signals. The picture signal outputted on this level read-out line 7 is outputted to the exterior of the solid state camera 10 for motion detection via the video amplifier circuit 7a etc.

[0035] MOS switch QRSH for reset is connected to the level read-out line 7. Control pulse  $\phi_{RSH}$  for reset is supplied to the gate of these MOS switch QRSH(s). Such control pulse  $\phi_{RSH}$  is outputted for example from the horizontal scanning circuit 8 etc. The horizontal scanning circuit 8 for determining the timing of horizontal transfer as the solid state camera 10 for motion detection is arranged. From this horizontal scanning circuit 8 the control pulse  $\phi_{H1}$  is supplied to the scanning-controls terminal of the difference processing circuit 5 of the 1st row. Similarly the control pulse  $\phi_{H2}$  outputted also to the scanning-controls terminal of 2 [remaining] - the difference processing circuits 5 of eye  $m$  sequence from the horizontal scanning circuit 8 -

phiH<sub>m</sub> are supplied respectively.

[0036] On the other hand two kinds of control pulse phiSA and phiSB are supplied to the specimen control terminal of the  $m$  different value detector circuits 6 in common. Such control pulse phiSA and phiSB are outputted for example from the vertical scanning circuit 3 etc. The output terminals Q1–Q<sub>m</sub> of the  $m$  different value detector circuits 6 are connected to the parallel input of the shift register 9 respectively. Control pulse phiLD for determining the incorporation timing of parallel data and transfer clock phiCK of serial transfer are inputted into this shift register 9. Such pulse phiLD and phiCK are supplied for example from the horizontal scanning circuit 8 etc. The serial output of the shift register 9 is supplied to the data input of D flip-flop 9a and one input of AND circuit 9b respectively.

[0037] Transfer clock phiCK supplied to the shift register 9 is similarly given to the clocked into of this D flip-flop 9a. The output Q of D flip-flop 9a is supplied to the input of another side of AND circuit 9b. The output of this AND circuit 9b is outputted to the exterior of the solid state camera 10 for motion detection as a moving body signal.

Based on (the circuitry of the unit pixel 1) next drawing 1 concrete circuitry and connecting relation are explained about the unit pixel 1 located in the 1st row per line. Also about the other unit pixels 1 the subscripts of a control pulse only differ and one-line the unit pixel 1 and circuitry of the 1st row are the same.

[0038] First photo-diode PD is arranged at this unit pixel 1. The anode of this photo-diode PD is connected to the gate of amplifier QA which consists of junction field effect transistors via MOS switch QT for charge transfer. Control pulse phiTG1 outputted from the vertical scanning circuit 3 is supplied to the gate of MOS switch QT for these charge transfer.

[0039] The gate of amplifier QA is connected to the wiring layer maintained at the fixed reset potential VRD via MOS switch QP for signal-charge reset. Control pulse phiRG1 outputted from the vertical scanning circuit 3 is supplied to the gate of this MOS switch QP. On the other hand the source of this amplifier QA is connected to the vertical read-out line 2 via MOS switch QX for vertical transfer. Control pulse phiPX1 outputted from the vertical scanning circuit 3 is supplied to the gate of this MOS switch QX.

[0040] Based on (the circuitry of the difference processing circuit 5) next drawing 1 concrete circuitry is explained about the difference processing circuit 5 established in the vertical read-out line 2 of the 1st row. Also about the difference processing circuit 5 after the 2nd row a part of subscripts of a control pulse only differ and the difference processing circuit 5 and circuitry of the 1st row are the same.

[0041] First the end of capacitor valve flow coefficient for holding a dark signal is connected to the vertical read-out line 2. MOS switch QV for giving constant potentials such as earth potentials and MOS switch QH for horizontal transfer are connected to the other end of this capacitor valve flow coefficient. The opposite hand

of this MOS switch QH is connected to the level read-out line 7. Here control pulse phiV is supplied to the gate of MOS switch QV. The control pulse phiH1 outputted from the horizontal scanning circuit 8 is connected to the gate of MOS switch QH. [0042] Based on (the circuitry of the different value detector circuit 6) next drawing 2 concrete circuitry is explained about the different value detector circuit 6 established in the 1st row of the vertical read-out line 2. Also about the different value detector circuit 6 after the 2nd row the subscripts of an output signal only differ and the different value detector circuit 6 and circuitry of the 1st row are the same. [0043] First the two end side of the capacitors CCA and CCB is connected to the vertical read-out line 2 respectively. The other end side of this capacitor CCA is connected to one input terminal of NAND circuit NA via three inverter INV1, INV3 and INV5 in series. Voltage VR1 (= VT-Vth) for determining a threshold is supplied to the other end side of capacitor CCA via MOS switch QB1. Control pulse phiSA is supplied to the gate of this MOS switch QB1. The other end side of capacitor CCA is connected to the output of inverter INV3 via MOS switch QB3 which is intermittent in a positive feedback loop. Control pulse phiSB is supplied to the gate of this MOS switch QB3.

[0044] On the other hand the other end side of capacitor CCB is connected to the input terminal of another side of NAND circuit NA via two inverter INV2 and INV4 in series. Voltage VR2 (= VT+Vth) for determining a threshold is supplied to the other end side of capacitor CCB via MOS switch QB2. Voltage VT here is a value equivalent to the threshold voltage of inverter INV1 and INV2. The voltage Vth is a threshold for determining whether to be a thing with an inter-frame significant difference.

[0045] Control pulse phiSA is supplied to the gate of this MOS switch QB2. The other end side of capacitor CCB is connected to the output of inverter INV4 via MOS switch QB4 which is intermittent in a positive feedback loop. Control pulse phiSB is supplied to the gate of this MOS switch QB4. The output of above-mentioned NAND circuit NA is supplied to the parallel input terminal Q1 of the shift register 9.

[0046] (Correspondence relation between this invention and a 1st embodiment) Here the correspondence relation between this invention and a 1st embodiment is explained. First about the correspondence relation of an invention and a 1st embodiment given in claims 1 and 10. A light sensing portion corresponds to photodiode PD and a vertical read-out line is equivalent to the vertical read-out line 2A vertical transfer circuit corresponds to "the vertical scanning circuit 3 amplifier QAMOS switch QX for vertical transfer MOS switch QT for charge transfer and MOS switch QP for signal-charge reset" A comparison circuit is equivalent to the different value detector circuit 6 a horizontal transfer circuit corresponds to the shift register 9 and a logic operation circuit corresponds to D flip-flop 9a and AND circuit 9b.

[0047] About the correspondence relation of an invention according to claim 2 and a 1st embodiment a picture signal output circuit is equivalent to the difference

processing circuit 5 the level read-out line 7 and the horizontal scanning circuit 8. About the correspondence relation of an invention according to claim 4 and a 1st embodiment a bit memory circuit corresponds to D flip-flop 9a and a level AND gate corresponds to AND circuit 9b.

[0048] About the correspondence relation of an invention according to claim 7 and a 1st embodiment. A pixel output attaching part corresponds to amplifier QAMOS switch QT and MOS switch QPa connection separation part corresponds to MOS switch QX for vertical transfer and a vertical transfer control means corresponds to "the function which reads the pixel output for two frames to time sharing per line" of the vertical scanning circuit 3.

[0049] About the correspondence relation of an invention and a 1st embodiment given in claims 8 and 9 an amplifier corresponds with amplifier QAa transfer circuit corresponds to MOS switch QT and a reset circuit corresponds to MOS switch QP. (Operation of a 1st embodiment) Drawing 3 is a figure showing the driving timing of the vertical transfer in a 1st embodiment. This figure shows the vertical transfer of eye i line.

[0050] Hereafter operation of a 1st embodiment is explained using drawing 3. First in the timing of the period t10 shown in drawing 3 control pulse phiSB is brought down to a low level. As a result MOS switch QB3 in the different value detector circuit 6 and QB4 are intercepted and the other end side of the capacitors CCA and CCB is set as floating.

[0051] Next in the timing of the period t11 shown in drawing 3 control pulse phiPXi is held to a low level and control pulse phiSA is started high-level. this control pulse phiPXi -- bringing down -- MOS switch QX of eye i line flows. At this time the signal charge accumulated on the occasion of read-out of a previous frame is held in the gate region of amplifier QA. Therefore the source follower circuit which consists of amplifier QA outputs the pixel output Vold of eye i line [ a previous frame and ] on the vertical read-out line 2.

[0052] On the other hand in the different value detector circuit 6 side MOS switch QB1 and QB2 flow by starting of control pulse phiSA. As a result the charge path which passes along the capacitors CCA and CCB is formed temporarily. As a result the voltage of (Vold-VT+Vth) is charged in the both ends of capacitor CCA.

[0053] On the other hand the voltage of (Vold-VT-Vth) is charged in the both ends of capacitor CCB. Control pulse phiSA is brought down just before [ end ] this period t11. Therefore the other end side of the capacitors CCA and CCB will be in floating again. As a result the above-mentioned voltage is held as both-ends voltage of the capacitors CCA and CCB.

[0054] Next in the timing of the period t12 shown in drawing 3 control pulse phiRGi is brought down to a low level. Then in the unit pixel 1 of eye i line MOS switch QP flows and the signal charge of the previous frame currently held in the gate region of amplifier QA is discharged. As a result a gate region is initialized by the reset voltage

VRD via a wiring layer.

[0055] Just before [ end ] this period t12 and control pulse phiRGi are returned high-level. As a result MOS switch QP is intercepted and the gate region of amplifier QA holds the voltage at the time of reset with floating. Also in the timing of the continuing period t13 control pulse phiPXi is still maintained by the low level. Therefore the dark signal Vd is outputted to the vertical read-out line 2 via the source follower circuit of amplifier QA. This dark signal Vd is a signal included the reset noises at the time of a reset action (what is called kTC noise) the voltage variation between the gate source of amplifier QA which is the main cause of fixed pattern noise etc.

[0056] On the other hand in this period t13 control pulse phiV is started high-level. In the difference processing circuit 5 side MOS switch QV flows by starting of control pulse phiV. As a result the charge path which passes along capacitor valve flow coefficient is formed and the dark signal Vd of eye i line is charged by capacitor valve flow coefficient in the difference processing circuit 5. Control pulse phiV is brought down just before [ end ] this period t13. Therefore the end of capacitor valve flow coefficient will be in floating again and the dark signal Vd of eye i line is held as both-ends voltage of a capacitor valve flow coefficient group.

[0057] Next control pulse phiTGi is brought down by the low level in the timing of the period t14 shown in drawing 3. Then in the unit pixel 1 of eye i line MOS switch QT flows and the signal charge of the present frame accumulated in photo-diode PD of eye i line is transmitted to the gate region of amplifier QA. Just before [ end ] this period t14 and control pulse phiTGi are returned high-level. As a result MOS switch QT is intercepted and the gate region of amplifier QA holds the state where potential rose according to the transmitted signal charge with floating.

[0058] Also in the timing of the continuing period t15 control pulse phiPXi is still a low level. Therefore from the vertical read-out line 2 the pixel output Vnow of eye i line [ a present frame and ] is newly outputted via the source follower circuit of amplifier QA. In this period t15 the difference voltage which reduced a part for the dark signal Vd of eye i line appears from the pixel output Vnow of eye i line [ a present frame and ] in the end side of capacitor valve flow coefficient by the side of the difference processing circuit 5. This difference voltage is "the pixel output of a present frame" by which the dark signal ingredient was removed.

[0059] On the other hand in this period t15 the voltage of  $(V_{now} - V_{old} + V_T - V_{th})$  appears in the other end side of capacitor CCA by the side of the different value detector circuit 6. The voltage of  $(V_{now} - V_{old} + V_T + V_{th})$  appears in the other end side of capacitor CCB. Such voltage is reversed bordering on threshold voltage VT via inverter INV1 and INV2.

[0060] With the above voltage relations if an inter-frame pixel output difference  $(V_{now} - V_{old})$  exceeds  $V_{th}$  inverter INV1 will output a low level. On the other hand if an inter-frame pixel output difference  $(V_{now} - V_{old})$  is less than  $V_{th}$  inverter INV1 will output

high level. If an inter-frame pixel output difference ( $V_{now}-V_{old}$ ) exceeds ( $-V_{th}$ ) inverter INV2 will output a low level. On the other hand if an inter-frame pixel output difference ( $V_{now}-V_{old}$ ) is less than ( $-V_{th}$ ) inverter INV2 will output high level. [0061] After such fanout passes the inverter INV3-5 it is inputted into NAND circuit NA respectively. As a result from NAND circuit NA when the value of an inter-frame pixel output difference ( $V_{now}-V_{old}$ ) is in the tolerance level of  $-(-V_{th})$   $V_{th}$  a low level is outputted. High level is outputted when the value of an inter-frame pixel output difference ( $V_{now}-V_{old}$ ) is outside the tolerance level of  $-(-V_{th})$   $V_{th}$ . It becomes a binary-ized signal which shows whether an inter-frame pixel output is in tolerance level and the output of NAND circuit NA is in agreement by such operation.

[0062] In the state of such a period  $t_{15}$  control pulse  $\phi_{iD}$  is started high-level. As a result the binary-ized signal outputted from  $m$  NAND circuits NA is collectively incorporated from the parallel input terminals  $Q_1-Q_m$  of the shift register 9 and is held as the internal values  $D_1-D_m$  of the shift register 9 respectively.

[0063] Next in the timing of the period  $t_{16}$  MOS switch QB3 and QB4 flow by starting control pulse  $\phi_{iSB}$ . As a result the recharge of the capacitors CCA and CCB is carried out in the direction of positive feedback via inverter INV3 and INV4 and the output of NAND circuit NA is stabilized. Drawing 4 is a figure showing the driving timing of the horizontal transfer in this period  $t_{16}$ .

[0064] First in the timing of the period  $t_{16}$  the horizontal scanning circuit 8 takes turns and sets up the control pulse  $\phi_{iH1} - \phi_{iHm}$  one by one high-level. Therefore the end side of capacitor valve flow coefficient for  $m$  sequence is connected to the level read-out line 7 in order of  $1 - m$  sequence. As a result on the level read-out line 7 the picture signals ( $A_1 - A_5$  etc. in drawing 4) of eye  $i$  line [ a present frame and ] are outputted one by one.

[0065]  $\phi_{iRSH}$  is set as the interval which sets up the control pulse  $\phi_{iH1} - \phi_{iHm}$  high-level high-level temporarily. The residual charge on the level read-out line 7 is discharged via MOS switch QRSH by such operation each time. Therefore residual charge does not mix with the picture signal by which horizontal transfer is carried out. On the other hand in the timing of this period  $t_{16}$  transfer pulse  $\phi_{iCK}$  is given to the shift register 9 one by one. Synchronizing with falling of this transfer pulse  $\phi_{iCK}$  the internal values  $D_1-D_m$  are serially outputted from the serial output of the shift register 9.

[0066] These serial outputs  $D_1-D_m$  are delayed by 1 pixel (a part for one clock) via D flip-flop 9a. AND circuit 9b takes a logical product between the serial outputs  $D_1-D_m$  and the serial outputs  $D_1-D_m$  after delay and outputs it outside as a moving body signal. By repeating in order a series of processings of [ mentioned above /  $i$  line ] also about other level lines from the level read-out line 7 the picture signal of a present frame is outputted one by one and the moving body signal for one frame is outputted one by one from the output terminal  $V_0$ .

[0067] By operation explained above the different value detector circuit 6 becomes

possible [ detecting the motion for detection ] by a 1st embodiment by measuring with the vertical read-out line 2 the pixel output for two frames by which a time sharing output is carried out. Thereforein order to perform motion detectionthe necessity of establishing peripheral circuitssuch as an AD conversion circuitan image memoryan image processing circuitin the exterior of a solid state camera is absolutely none. As a resultit becomes possible to constitute a device at large [such as a monitoring instrument which needs motion detectionand a graphical-data-compression circuit] in small size and low cost.

[0068]The moving body signal is generated in a 1st embodimentwithout passing an AD conversion circuit. Thereforea dynamic range is not restricted by the AD conversion circuit and motion detection can be performedusing the large dynamic range of the solid state camera itself as it is. The pixel output of a previous frame and the pixel output of a present frame are compared by 1st embodiment without the phase difference of a picture element position in the inside of a solid state camera.

Thereforefaultsuch as carrying out erroneous detection of the edge part of a picture to a motion in an external circuit compared with the case where an inter-frame difference is takenis lost.

[0069]In a 1st embodimenta picture signal can be outputted by outputting selectively "the pixel output of a present frame" by which a time sharing output is carried out in the vertical read-out line 2 top. The dual output of such a moving body signal and a picture signal becomes what was dramatically suitable for the use which detects a motion like a monitoring instrumentobserving a picture (record). In a 1st embodimentthe vertical read-out line 2 is used efficientlyandin addition to the pixel output for two framesit outputs to time sharing to a dark signal. In the difference processing circuit 5the quality pixel output which removed the dark signal can be obtained based on this dark signal.

[0070]By a 1st embodimentthe isolated point which becomes high-level 1 pixel in a picture horizontal direction is especially deleted out of the serial outputs D1-Dm using the logic operation circuit which consists of D flip-flop 9a and AND circuit 9b. Thereforeit becomes possible to reduce efficiently the erroneous detection of the motion resulting from a very small motion of shot noise and a background. Although the AND operation of a moving body signal is performed in a 1st embodiment in 2 pixels which arranges one D flip-flop 9aand adjoins horizontallythis invention is not limited to this. For exampleletwo or more bit memories (flip-flop circuit etc.) may be arranged in seriesand the AND operation of each output of these bit memories and the serial output of the shift register 9 may be performed. In such compositionsince an AND operation can be performed broadlyit becomes possible to reduce the error of motion detection much more certainly.

[0071]Nextanother embodiment is described.

(A 2nd embodiment) A 2nd embodiment is an embodiment corresponding to an invention given in claims 1-57-10. Drawing 5 is a figure showing the circuitry of a 2nd

embodiment.

[0072]The constitutional focus in a 2nd embodiment is the following point. First the video amplifier 7a is formed in the level read-out line 7. The picture signal outputted from this video amplifier 7a is outputted to the exterior and it is supplied to the right side input of the comparator 21. This comparator 21 carries out threshold distinction of the level of a picture signal and outputs the binary-ized level discrimination signal AL.

[0073]After this level discrimination signal AL is delayed by 1 pixel of levels via D flip-flop 23a it is supplied to the reversal side input of AND circuit 23 and the 1st input of AND circuit 24 respectively. On the other hand the serial output of the shift register 9 is supplied to "the data input of D flip-flop 22" the "2nd input of AND circuit 24" and "the serial input of the shift register 25" respectively.

[0074]The data output of this D flip-flop 22 is supplied to "the input by the side of noninverting of AND circuit 23" and the "3rd input of AND circuit 24" respectively. The serial output of the shift register 25 is supplied to the 4th input of AND circuit 24 and the data input of D flip-flop 26 respectively. The data output of this D flip-flop 26 is supplied to the 5th input of AND circuit 24.

[0075]The output of above-mentioned AND circuit 23 and the output of AND circuit 24 are inputted into OR circuit 27 respectively. The output of this OR circuit 27 is outputted to the exterior as a moving body signal. About other constituent features since it is the same as that of the constituent features of a 1st embodiment (drawing 1) the same reference mark is given and shown in drawing 5 and explanation here is omitted.

[0076](Correspondence relation between this invention and a 2nd embodiment) Here about the correspondence relation of an invention and a 2nd embodiment given in claims 1 and 10. A light sensing portion corresponds to photo-diode PD and a vertical read-out line is equivalent to the vertical read-out line 2A vertical transfer circuit corresponds to "the vertical scanning circuit 3" amplifier QAMOS switch QX for vertical transfer MOS switch QT for charge transfer and MOS switch QP for signal-charge reset" A comparison circuit is equivalent to the different value detector circuit 6 a horizontal transfer circuit corresponds to the shift register 9 and a logic operation circuit corresponds to D flip-flops 22 23 and 26 AND circuit 24 and the shift register 25.

[0077]About the correspondence relation of an invention according to claim 2 and a 2nd embodiment a picture signal output circuit corresponds to "the function which carries out horizontal transfer of the picture signal of a present frame selectively" of the difference processing circuit 5 the level read-out line 7 and the horizontal scanning circuit 8. About the correspondence relation of an invention according to claim 3 and a 2nd embodiment a level discrimination circuit corresponds to the comparator 21 and an output switch circuit corresponds to AND circuits 23 and 24 and OR circuit 27.

[0078]About the correspondence relation of an invention according to claim 4 and a 2nd embodiment a bit memory circuit corresponds to D flip-flops 22 and 26 and a level

AND gate corresponds to AND circuit 24. About the correspondence relation of an invention according to claim 5 and a 2nd embodiment a line memory circuit corresponds to the shift register 25 and a vertical AND gate corresponds to AND circuit 24.

[0079] About the correspondence relation of an invention according to claim 7 and a 2nd embodiment. A pixel output attaching part corresponds to amplifier QAMOS switch QT and MOS switch QPa connection separation part corresponds to MOS switch QX for vertical transfer and a vertical transfer control means corresponds to "the function which reads the pixel output for two frames to time sharing" of the vertical scanning circuit 3. About the correspondence relation of an invention and a 2nd embodiment given in claims 8 and 9 an amplifier corresponds with amplifier QAa transfer circuit corresponds to MOS switch QT and a reset circuit corresponds to MOS switch QP.

[0080] (Operation of a 2nd embodiment) next the operation at the time of the horizontal transfer in a 2nd embodiment are explained. Since the operation at the time of the vertical transfer in a 2nd embodiment is the same as that of a 1st embodiment (drawing 3) explanation here is omitted. Drawing 6 is a figure showing the driving timing at the time of the horizontal transfer in the period t16.

[0081] First in the timing of the period t16 the horizontal scanning circuit 8 takes turns and sets up the control pulse phiH1 – phiHm one by one high-level. Therefore the end side of capacitor valve flow coefficient for m sequence is connected to the level read-out line 7 in order of 1 – m sequence. As a result on the level read-out line 7 the picture signals (A1 in drawing 6 – A5A11–A15 etc.) of eye i line [ a present frame and ] are outputted one by one.

[0082] The comparator 21 carries out threshold distinction of the level of this picture signal and outputs the level discrimination signal AL. This level discrimination signal AL is a binary-ized signal which shows high level in the high luminance section of a picture signal. On the other hand in the timing of this period t16 transfer pulse phiCK is given to the shift register 9 and the shift register 25 one by one. Synchronizing with falling of this transfer pulse phiCK inter-frame comparison result D1 a–Dma which is an output of the different value detector circuit 6 is serially outputted from the serial output of the shift register 9.

[0083] This inter-frame comparison result D1 a–Dma passes the shift register 25 and is delayed by the perpendicular of one line. As a result from the serial output of the shift register 25 comparison result D1 b–Dmb delayed by the perpendicular of one line is outputted one by one. Above-mentioned comparison result D1 a–Dma is delayed by 1 pixel (a part for one clock) via D flip-flop 22.

[0084] It is further delayed by 1 pixel (a part for one clock) via D flip-flop 26 also about comparison result D1 b–Dmb delayed by the perpendicular of one line. As a result in a part (vertical 2 pixels x level 2 pixels) an inter-frame comparison result collects into four input terminals of AND circuit 24 and a simultaneous input is carried out at

them. On the other hand D1 a-Dma which is 1 pixel of an inter-frame comparison result is inputted into the input terminal by the side of noninverting of AND circuit 23 in the state where it was delayed by 1 pixel of levels.

[0085] The level discrimination signal AL is mutually inputted into the remaining input terminals of these AND circuits 23 and 24 by an opposite phase. Therefore the following output changes are performed according to the logical value of the level discrimination signal AL.

(1) First by the high luminance section of a picture signal (when the level discrimination signal AL delayed level 1 pixel is high-level) the result of having taken the logical product is outputted from OR circuit 27 to every inter-frame comparison result (vertical 2 pixels x level 2 pixels). As a result vertical horizontally and an isolated field [ as / at least whose 1 pixel is a low level ] is removed from an inter-frame comparison result in the direction of either of slanting.

[0086] (2) except the high luminance section of a picture signal (when the level discrimination signal AL delayed level 1 pixel is a low level) an inter-frame comparison result is level from OR circuit 27 via D flip-flop 22 and AND circuit 23 -- it is outputted in the state where it was delayed by 1 pixel. Such delaying operation is the compensation operations for doubling the picture element position and phase in an output by the side of AND circuit 24. It can be made hard to be conspicuous [ in the knot of the moving body signal accompanying an output change ] by this delaying operation.

[0087] In a 2nd embodiment level and an isolated field which is vertical or 1 pixel of high level produces in the direction of either of slanting are eliminated out of an inter-frame comparison result by the above operations. As a result it becomes possible to reduce efficiently the isolated field produced by shot noise. In a 2nd embodiment it limits to the high luminance section of a picture signal and the above-mentioned isolated field removal is performed. Especially the high luminance section of such a picture signal is a part which shot noise generates intensively. Therefore it becomes possible to reduce efficiently the isolated field produced by shot noise by removal of the isolated field limited to such a high luminance section.

[0088] On the other hand except the high luminance section of a picture signal an inter-frame comparison result is outputted in the state where it was delayed by 1 pixel of levels via AND circuit 23. Therefore there is no possibility of removing an isolated field unrelated to shot noise originally. As a result it becomes possible to detect the motion for [ small ] detection more certainly. Although the AND operation of a moving body signal is performed in a 2nd embodiment in 2 pixels which arranges the one shift register 25 (a kind of line memory circuit) and adjoins perpendicularly this invention is not limited to this. For example two or more line memory circuits (shift register etc.) may be arranged vertically and an AND operation may be performed between each output of these line memory circuits and the serial output of the shift register 9. In such compositions since an AND operation can be performed more to a large area it

becomes possible to reduce the error of motion detection much more certainly.

[0089]In a 2nd embodiment it limits to the high-intensity side of a picture signal and although the AND operation of a moving body signal is performed it is not limited to this. For example the AND operation of a moving body signal may be performed to the low-intensity side of a picture signal. In such composition it becomes possible to reduce the error of the motion detection by random noise selectively. Next another embodiment is described.

[0090](A 3rd embodiment) A 3rd embodiment is an embodiment corresponding to an invention given in claims 126–10. Drawing 7 is a figure showing the circuitry of a 3rd embodiment. The constitutional focus in a 3rd embodiment is the following point.

[0091]First the serial output of the shift register 9 is supplied to “one input of AND circuit 33” and “the data input of the frame memory 34” respectively. The data output of this frame memory 34 is supplied to the input of another side of AND circuit 33.

The output of this AND circuit 33 is outputted to the exterior as a moving body signal.

[0092]About other constituent features since it is the same as that of the constituent features of a 1st embodiment (drawing 1) the same reference mark is given and shown in drawing 7 and explanation here is omitted.

(Correspondence relation between this invention and a 3rd embodiment) Here about the correspondence relation of an invention and a 3rd embodiment given in claims 1 and 10. A light sensing portion corresponds to photo-diode PD and a vertical read-out line is equivalent to the vertical read-out line 2A. A vertical transfer circuit corresponds to “the vertical scanning circuit 3” amplifier QAMOS switch QX for vertical transfer MOS switch QT for charge transfer and MOS switch QP for signal-charge reset. A comparison circuit is equivalent to the different value detector circuit 6a. A horizontal transfer circuit corresponds to the shift register 9 and a logic operation circuit corresponds to the frame memory 34 and AND circuit 33.

[0093]About the correspondence relation of an invention according to claim 2 and a 3rd embodiment a picture signal output circuit corresponds to “the function which carries out horizontal transfer of the picture signal of a present frame selectively” of the difference processing circuit 5. The level read-out line 7 and the horizontal scanning circuit 8. About the correspondence relation of an invention according to claim 6 and a 3rd embodiment a frame memory circuit corresponds to the frame memory 34 and a time-axis AND gate corresponds to AND circuit 33.

[0094]About the correspondence relation of an invention according to claim 7 and a 3rd embodiment. A pixel output attaching part corresponds to amplifier QAMOS switch QT and MOS switch QP. A connection separation part corresponds to MOS switch QX for vertical transfer and a vertical transfer control means corresponds to “the function which reads the pixel output for two frames to time sharing” of the vertical scanning circuit 3. About the correspondence relation of an invention and a 3rd embodiment given in claims 8 and 9 an amplifier corresponds with amplifier QAa. A transfer circuit corresponds to MOS switch QT and a reset circuit corresponds to

MOS switch QP.

[0095](Operation of a 3rd embodiment)next the operation at the time of the horizontal transfer in a 3rd embodiment are explained. Since the operation at the time of the vertical transfer in a 3rd embodiment is the same as that of a 1st embodiment (drawing 3)explanation here is omitted. Drawing 8 is a figure showing the driving timing at the time of the horizontal transfer in the period t16.

[0096]Firstin the timing of the period t16transfer pulse phiCK is given to the shift register 9 one by one. Synchronizing with falling of this transfer pulse phiCKinter-frame comparison result D1 alpha-Dm alpha which is an output of the different value detector circuit 6 is outputted one by one from the serial output of the shift register 9 (D1 alpha-D 5 alpha etc. which are shown in drawing 8). This inter-frame comparison result is delayed by one frame via the frame memory 34. As a resultfrom the data output of the frame memory 34the comparison result delayed by one frame is outputted one by one (D1 beta-D 5 beta etc. which are shown in drawing 8).

[0097]AND circuit 33 takes a logical product about these comparison resultsand outputs it outside as a moving body signal. The isolated point that high level produces only 1 pixel in a time base direction can be eliminated in an inter-frame comparison result by the logic operation circuit which consists of the frame memory 34 and AND circuit 33 by operation explained above. Thereforethe erroneous detection of the motion by shot noiseevery small motion of a backgroundetc. can be reduced.

[0098]In the 1-3rd embodiments mentioned abovealthough the junction field effect transistor is used as amplifier QAit is not limited to this composition in particular. Generallythe element which has an amplifying function can be used as amplifier QA. For exampleas amplifier QAa MOS transistor a bipolar transistoretc. may be used and the functional device which carried out mixture use of these elements may be used. A signal charge may be held to the parasitic capacitance generated at the gate and base of these amplifiersand the capacitor for holding a signal chargeetc. may be formed in the gate and base of these amplifiers auxiliary.

[0099]In the 1-3rd embodiments mentioned abovealthough MOS switch QX for vertical transfer is formed as a connection separation partit is not limited to this. For exampleconnection and separation with an amplifier and a vertical read-out line may be controlled by forming the capacitor for accumulating a signal charge in the gate and base of an amplifierand making the voltage by the side of the other end of this capacitor go up and down.

[0100]Although the 1-3rd embodiments mentioned above explained the case where transfer direct of the signal charge produced in photo-diode PD was carried out to the regulatory region of an amplifierthis invention is not limited to this. For exampleafter once transmitting a signal charge to a diffusion region and holding itthe potential of the diffusion region may be detected via a signal wire at the gate of a MOS transistor. As an example of such a pixelfor exampleLiterature "Active Pixel Sensors:AreCCD's Dinosaurs?" Fossum E.R.Proceeding of SPIE: Charge-Coupled

Device and. There are some which were described Solid State Optical SensorsIIIVol.1900and pp2-14 (1993).

[0101]In the 1-3rd embodiments mentioned abovealthough the AND operation of the direction of space or a time base direction is performed about the moving body signalit is not limited to this. What is necessary is generallyjust to perform the operation which reduces a decorrelational noise component to a moving body signal. For examplemajority operation etc. may be performed instead of an AND operation. Although a 1st embodiment mentioned above explained the case where the unit pixel 1 was arranged by two-dimensional matrix formof coursethis invention can apply similarly to the line image sensor etc. which are arranged by one-dimensional matrix form.

[0102]In the embodiment mentioned abovealthough the circuitry based on positive logic is explainedit is not limited to this composition. Of coursea part or all of circuitry that was mentioned above may be made into the circuitry based on negative logic.

[0103]

[Effect of the Invention](Claim 1) As explained abovein the invention of claim 1the pixel output of a previous frameand "the pixel output of a present frame" are outputted on a vertical read-out line at time sharing. By measuring these pixel outputsmotion detection is realizable in the inside of a solid state camera.

[0104]Thereforeit is not necessary to establish peripheral circuits in particularsuch as an AD conversion circuitan image memoryan image processing circuitin the exterior of a solid state cameraand a miniaturization and low-cost-izing of the whole device can be attained. There are few possibilities that it is not necessary to take about the picture signal which is an analog signal to an external AD conversion circuit etc. in the invention of claim 1and may be influenced by ambient noise.

[0105]In the invention of claim 1the AD conversion circuit which was necessity conventionally becomes unnecessary to the exterior of the solid state camera for motion detection. As a resulta dynamic range is not restricted by the AD conversion circuit and the large dynamic range of the solid state camera itself enables it to perform motion detection. The invention of claim 1 compares soon the pixel output of a previous frameand the pixel output of a present frame for every vertical read-out line. Thereforecompared with the case where an inter-frame difference is taken through an AD translation etc.no gap is produced in the picture element position which should be compared. Thereforefearsuch as producing an inter-frame difference in the edge part of a stillness objectetc.becomes it is very small and possible [ performing motion detection with high precision much more ].

[0106]Moreoverby inventiona logical operation is performed to the comparison result of a comparison circuit to claim 1and the isolated field of logic change is reduced to it. Thereforein the inside of a solid state camerathe isolated field by very small motion of shot noise and a background is reducedand the excessive motion detection resulting from these can be controlled properly.

(Claim 2) In the invention according to claim 2 the picture signal of a present frame or a previous frame can be outputted by outputting selectively one of the pixel outputs to which a vertical read-out line top is transmitted by time sharing.

[0107] Since especially output operation of such a picture signal is performed without occupying a vertical read-out line it does not bar the operation by the side of motion detection. Therefore in the solid state camera for motion detection of claim 2 it becomes possible to output a moving body signal and a picture signal simultaneously. in particular by the dual output of such a picture signal and a moving body signal the variation of image display using these both signals is markedly alike and increases and the use of the solid state camera for motion detection spreads remarkably.

[0108] (Claim 3) In the invention according to claim 3 it has the composition which performs an output change with the output of a logic operation circuit and the comparison result of a comparison circuit according to the signal level of a picture signal. Such switching operation enables it to reduce the error of motion detection suitably according to the signal level of a picture signal. Since deleting an isolated field unnecessarily is simultaneously lost according to the signal level of a picture signal it also becomes possible to detect the motion for [ small ] detection as much as possible.

[0109] For example when the selected output of the output by the side of a logic operation circuit is carried out in the high luminance section of a picture signal it becomes possible to reduce the error of the motion detection by shot noise selectively. It becomes possible by moreover carrying out the selected output of the output by the side of a comparison circuit in the low-intensity part of a picture signal to detect "a motion for [ small ] detection" unrelated to shot noise originally as much as possible.

[0110] For example when the selected output of the output of a logic operation circuit is carried out in the low-intensity part of a picture signal it becomes possible to reduce selectively the error of the motion detection by random noise such as a circuit system. It becomes possible by moreover carrying out the selected output of the output by the side of a comparison circuit in the high luminance section and middle luminosity part of a picture signal to detect "a motion for [ small ] detection" unrelated to random noise originally as much as possible.

[0111] When the selected output of the output of a logic operation circuit is furthermore carried out in the low-intensity part and high luminance section of a picture signal it becomes possible to reduce selectively the error of the motion detection by random noise and shot noise. It becomes possible by moreover outputting the output by the side of a comparison circuit in a middle luminosity part to detect "a motion for [ small ] detection" unrelated to random noise or shot noise originally as much as possible.

[0112] In the composition which carries out the dual output of a moving body signal and the picture signal each above operation is the first operation to become possible.

(Claim 4) In the invention according to claim 4 the logical product of a comparison result is taken along a picture horizontal direction. Therefore the isolated point that logic change produces only 1 pixel horizontally is eliminated and it becomes possible to reduce the isolated point of logic change produced in shot noise a very small motion of a background etc.

[0113](Claim 5) In the invention according to claim 5 the logical product of a comparison result is taken along a screen perpendicular direction. Therefore the isolated point that logic change produces only 1 pixel perpendicularly is eliminated and it becomes possible to reduce the isolated point of logic change produced in shot noise a very small motion of a background etc.

[0114](Claim 6) In the invention according to claim 6 the logical product of a comparison result is taken along a time base direction. Therefore the isolated point that logic change produces only 1 pixel in a time base direction is eliminated and it becomes possible to reduce the isolated point of logic change produced in shot noise a very small motion of a background etc.

[0115](Claim 7) In the invention according to claim 7 since the pixel output attaching part was provided for every light sensing portion operation which accumulates the pixel output of a present frame in a light sensing portion and operation which holds or outputs the pixel output of a previous frame can be performed to a concurrency. Therefore in order to carry out the time sharing output of the pixel output for two frames the light-receiving storage period of a present frame is not restricted to a vertical read-out line. As a result the level of a pixel output becomes large and it becomes possible to reduce the erroneous detection of the motion by noise etc. fundamentally.

[0116](Claims 8-9) Since the invention according to claim 8 or 9 holds the pixel output from a light sensing portion soon to the regulatory region of an amplifier it does not need to provide the capacitive component for holding a pixel output on the way etc. The signal loss of the capacitance division in an intermediate capacitive component is lost and it becomes possible to aim at improvement in S/N.

[0117] Since regulatory region is initialized by fixed reset potential by a reset circuit mixing of the pixel output in inter-frame can be prevented. As a result S/N of a pixel output improves and it becomes possible to reduce the erroneous detection of the motion by noise etc. fundamentally.

(Claim 10) In the invention according to claim 10 a comparison circuit outputs a binary-sized signal. Therefore what is necessary is just to constitute a logic circuit general-purpose as a logic operation circuit. A shift register circuit can be used in transmission of a binary-sized signal. By use of such a shift register circuit improvement in the speed and low noise-ization are easily realizable in horizontal transfer operation of a moving body signal.

[0118] Since the noise margin under signal transmission improves by binary-ization of a moving body signal especially it becomes possible to reduce the erroneous detection

of the motion by noise etc. fundamentally.

---

## DESCRIPTION OF DRAWINGS

---

**[Brief Description of the Drawings]**

**[Drawing 1]**It is a figure showing the circuitry of a 1st embodiment.

**[Drawing 2]**It is a figure showing the circuitry of the different value detector circuit 6.

**[Drawing 3]**It is a figure showing the driving timing of the vertical transfer in a 1st embodiment.

**[Drawing 4]**It is a figure showing the driving timing of the horizontal transfer in a 1st embodiment.

**[Drawing 5]**It is a figure showing the circuitry of a 2nd embodiment.

**[Drawing 6]**It is a figure showing the driving timing of the horizontal transfer in a 2nd embodiment.

**[Drawing 7]**It is a figure showing the circuitry of a 3rd embodiment.

**[Drawing 8]**It is a figure showing the driving timing of the horizontal transfer in a 3rd embodiment.

**[Drawing 9]**It is a figure showing the conventional image processing device 100 for motion detection.

**[Description of Notations]**

1 Unit pixel

2 Vertical read-out line

3 Vertical scanning circuit

4 Current source

5 Difference processing circuit

6 Different value detector circuit

7 Level read-out line

7a Video amplifier

8 Horizontal scanning circuit

9 Shift register

9a D flip-flop

9b AND circuit

10 A solid state camera for motion detection

21 Comparator

22 D flip-flop

23 AND circuit

23a D flip-flop

24 AND circuit

25 Shift register

26 D flip-flop

27 OR circuit  
33 AND circuit  
34 Frame memory  
QRSH MOS switch for reset  
PD Photo-diode  
QT MOS switch for charge transfer  
QA Amplifier  
QP MOS switch for signal-charge reset  
QX MOS switch for vertical transfer  
valve flow coefficient Capacitor for holding a dark signal  
QV MOS switch  
QH MOS switch for horizontal transfer  
CCA Capacitor  
CCB Capacitor  
QB3 MOS switch  
QB1 MOS switch  
NA NAND circuit  
INV1 Inverter

---

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177892

(43) 公開日 平成11年(1999)7月2日

(51) Int.Cl.<sup>6</sup>

H 04 N 5/335  
H 01 L 27/146

識別記号

F I

H 04 N 5/335  
H 01 L 27/14

Z  
A

審査請求 未請求 請求項の数10 O.L. (全 18 頁)

(21) 出願番号

特願平9-336955

(22) 出願日

平成9年(1997)12月8日

(71) 出願人 000004112

株式会社ニコン

東京都千代田区丸の内3丁目2番3号

(72) 発明者 野村 仁

東京都千代田区丸の内3丁目2番3号 株式会社ニコン内

(74) 代理人 弁理士 古谷 史旺 (外1名)

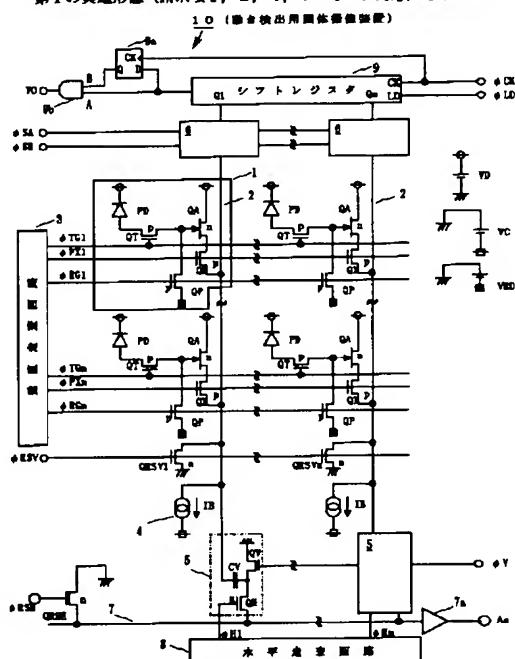
(54) 【発明の名称】 動き検出用固体撮像装置

(57) 【要約】

【課題】 本発明は、フレーム間の差異に基づいて動き検出を行う動き検出用固体撮像装置に関し、動き検出に当たって外部での画像比較処理を不要とし、かつ動きの誤検出を低減することを目的とする。

【解決手段】 複数の受光部と、複数の受光部の列毎に設けられた複数の垂直読み出し線と、複数の受光部の特定行を順次選択しつつ、該特定行の受光部から保持した前フレームの画素出力と、該特定行の受光部から新規に保持した現フレームの画素出力とを、垂直読み出し線へ逐次出力する垂直転送回路と、垂直読み出し線を介して時分割に転送される前フレームの画素出力と現フレームの画素出力を比較する比較回路と、比較回路の比較結果を水平転送する水平転送回路と、比較回路の比較結果に対し、論理変化の孤立領域を低減する論理演算を実行する論理演算回路とを備えて、動き検出用固体撮像装置を構成する。

第1の実施形態(請求項1, 2, 4, 7~10に対応)を示す図



## 【特許請求の範囲】

【請求項1】 マトリックス状に配列され、入射光に応じた画素出力を生成する複数の受光部と、前記複数の受光部の列毎に設けられた複数の垂直読み出し線と、前記複数の受光部の特定行を順次に選択しつつ、該特定行の受光部から過去保持した前フレームの画素出力と、該特定行の受光部から新規に保持した現フレームの画素出力を、前記垂直読み出し線へ逐次出力する垂直転送回路と、前記垂直読み出し線ごとに設けられ、前記垂直読み出し線を介して時分割に転送される前フレームの画素出力と現フレームの画素出力を比較する比較回路と、前記垂直読み出し線ごとに出力される前記比較回路の比較結果を水平転送する水平転送回路と、前記比較回路の比較結果に対し、論理変化の孤立領域を低減する論理演算を実行する論理演算回路とを備えたことを特徴とする動き検出用固体撮像装置。

【請求項2】 請求項1に記載の動き検出用固体撮像装置において、前記垂直読み出し線を介して時分割に転送される前フレームの画素出力もしくは現フレームの画素出力のどちらか一方を選択的に取り込んで、水平転送する画像信号出力回路を備えたことを特徴とする動き検出用固体撮像装置。

【請求項3】 請求項2に記載の動き検出用固体撮像装置において、前記画像信号出力回路から出力される画像信号をレベル判別するレベル判別回路と、前記レベル判別回路の判別結果に応じて、前記論理演算回路の出力と前記比較回路の比較結果とを切り換えて出力する出力切換回路とを備えたことを特徴とする動き検出用固体撮像装置。

【請求項4】 請求項1ないし請求項3のいずれか1項に記載の動き検出用固体撮像装置において、前記論理演算回路は、

前記比較結果を、水平転送される1画素ごとに記憶するビットメモリ回路と、前記ビットメモリ回路の記憶内容と前記比較結果との間で論理積演算を行う水平論理積回路とを有することを特徴とする動き検出用固体撮像装置。

【請求項5】 請求項1ないし請求項3のいずれか1項に記載の動き検出用固体撮像装置において、

前記論理演算回路は、前記比較結果を、1ラインごとに記憶するラインメモリ回路と、前記ラインメモリ回路の記憶内容と前記比較結果との間で論理積演算を行う垂直論理積回路とを有することを特徴とする動き検出用固体撮像装置。

【請求項6】 請求項1ないし請求項3のいずれか1項

に記載の動き検出用固体撮像装置において、前記論理演算回路は、前記比較結果を、1画面分ごとに記憶するフレームメモリ回路と、前記フレームメモリ回路の記憶内容と前記比較結果との間で論理積演算を行う時間軸論理積回路とを有することを特徴とする動き検出用固体撮像装置。

【請求項7】 請求項1ないし請求項6のいずれか1項に記載の動き検出用固体撮像装置において、

前記垂直転送回路は、前記受光部ごとに設けられ、該受光部からの画素出力を保持し、保持した画素出力を非破壊で出力する画素出力保持部と、

前記画素出力保持部ごとに設けられ、前記画素出力保持部の出力段と前記垂直読み出し線とを接続／分離する接続分離部と、

特定行の前記画素出力保持部において過去保持された前フレームの画素出力を前記接続分離部を介して前記垂直読み出し線に出力した後、前記受光部から前記画素出力保持部に新規に現フレームの画素出力を保持させ、保持された現フレームの画素出力を前記接続分離部を介して前記垂直読み出し線に出力させる垂直転送制御手段とを有することを特徴とする動き検出用固体撮像装置。

【請求項8】 請求項7に記載の動き検出用固体撮像装置において、

前記画素出力保持部は、画素出力を保持する制御領域を有し、該制御領域に保持された画素出力に対応した画素出力を出力する増幅素子と、

前記受光部で生成される画素出力を前記増幅素子の制御領域に転送する転送回路と、

前記増幅素子の制御領域に蓄積された画素出力をリセットするリセット回路とを有することを特徴とする動き検出用固体撮像装置。

【請求項9】 請求項8に記載の動き検出用固体撮像装置において、

前記増幅素子は、接合型電解効果トランジスタであり、前記転送回路を介して転送された画素出力は、前記接合型電界効果トランジスタのゲート領域に直に蓄積されることを特徴とする動き検出用固体撮像装置。

【請求項10】 請求項1ないし請求項9のいずれか1項に記載の動き検出用固体撮像装置において、前記比較回路は、

現フレームの画素出力と前フレームの画素出力とが許容範囲内で一致するか否かを判定し、判定結果の真偽に応じて2値化信号を出力する回路であることを特徴とする動き検出用固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、フレーム間の差異

を検出する動き検出用固体撮像装置に関する。特に、本発明は、動き検出に当たって外部の処理回路を不要としつつ、背景の微少な動きやノイズなどによる動きの誤検出を低減した動き検出用固体撮像装置に関する。

#### 【0002】

【従来の技術】従来、固体撮像装置を介して画像データを順次に撮像し、これら画像データのフレーム間の差異に基づいて動き検出を行う動き検出用画像処理装置が知られている。図9は、この種の動き検出用画像処理装置100を示す図である。

【0003】図9において、動き検出用画像処理装置100は、固体撮像装置101と、固体撮像装置101からの画像信号（アナログ信号）をデジタル信号に変換するAD変換回路102と、AD変換回路102からのデジタル信号を保存する画像メモリ（第1の画像メモリ）103及び画像メモリ（第2の画像メモリ）104と、該画像メモリ103、104に保存されているデジタルの画像データを互いに比較して動きを検出する画像処理回路105とで構成されている。

【0004】このような構成の動き検出用画像処理装置100では、まず、固体撮像装置101で得られた第1フレームの画像信号（アナログ信号）がAD変換回路102でデジタル信号に変換された後、第1の画像メモリ103に保存される。次に、第1のフレーム（直前のフレーム）に後続する第2のフレームにおいて、固体撮像装置101によって得られた画像信号（アナログ信号）がAD変換回路102でデジタル信号に変換された後、第2の画像メモリ104に保存される。

【0005】画像処理回路105では、第1の画像メモリ103に保存されているデジタル信号と、第2の画像メモリ104に保存されているデジタル信号とを、画素単位に比較する。このとき、所定の閾値以上異なる画素を検出して、動体の検出を示す信号（以下「動体信号」という）を生成する。このような、フレーム間の比較により、被写体の動き検出を行うことが可能となる。

#### 【0006】

【発明が解決しようとする課題】しかしながら、上記従来の動き検出用画像処理装置100では、固体撮像装置101の周辺回路が複雑で、動き検出用画像処理装置100全体が大型化し、かつ高価になるという不具合があった。また、固体撮像装置101から出力される画像信号はアナログ信号であり、そのアナログ信号のままAD変換回路102に供給される。そのため、アナログ信号の伝送路が引き回されることとなり、周辺雑音の影響を受けやすいという不具合も生じる。

【0007】さらに、上記従来の動き検出用画像処理装置100では、画像信号（アナログ信号）のダイナミックレンジが、AD変換回路102で制限される。通常、AD変換回路102の入力ダイナミックレンジは、固体撮像装置101のダイナミックレンジより狭い。そのた

め、動体の検出処理の過程で固体撮像装置101の広いダイナミックレンジが有効に活用できないという不具合もあった。

【0008】また、AD変換回路102において標本化のタイミングが、前フレームと現フレームに間でわずかにずれるおそれがあった。このようにフレーム間で標本化のタイミングがずれることにより、外部の画像処理回路105において比較すべき画素位置にわずかなズレが生じる。もしも、このようなズレが生じた場合、静止体であってもエッジ部分などにフレーム間差を生じてしまう。そのため、動体検出の精度や信頼性が低くなるという不具合が生じる。

【0009】以上のような不具合を避けるために、固体撮像装置101の画素ごとに直前のフレームと現在のフレームでの画像信号を記憶するためのメモリを設け、さらにこのメモリに記憶された画像信号を比較する比較回路を画素ごとに設けて、各画素ごとに動体信号を生成することも考えられる。しかしながら、このような対策では、単位画素の構造が複雑になり、固体撮像装置101の開口率の低下や、解像度の低下を引き起こすという不具合が生じる。さらに、上記の対策では、各画素から動体信号のみが出力されるため、固体撮像装置において元来出力されるべき画像信号を、同時に得られないという不具合もあった。

【0010】ところで、半導体デバイスからなる固体撮像装置においては、電荷のゆらぎなどに起因して、ショット雑音（shot noise）を発生することが一般に知られている。このようなショット雑音の大きさは、信号の大きさの平方根に比例する。そのため、被写界が明るくて信号レベルが大きい程、ショット雑音が大きく発生する。その結果、明るい箇所では、フレーム間差にショット雑音が大きく現れる。このフレーム間差に含まれるショット雑音が動体判別の閾値を越えると、誤った動き検出がなされてしまう。

【0011】このようなショット雑音による誤検出を避けるために、フレーム間差の比較閾値を一様に高く設定することが考えられる。しかしながら、このような対策では、低コントラストの被写体について十分な動き検出ができなくなるという問題点があった。また、上述したケース以外、例えば、木々の葉が風で揺れるような場合にも、フレーム間差が生じる。このような動きは、背景部分の微少な動きであり、監視すべき検出対象の動きと区別できることが好ましい。

【0012】そこで、請求項1～10のいずれか1項に記載の発明は、動き検出に当たって外部での画像比較処理を不要とし、かつショット雑音や背景部分の微少な動きを検出しない動き検出用固体撮像装置を提供することを目的とする。特に、請求項2に記載の発明は、請求項1の目的と併せて、動体信号と画像信号とを同時に出力可能とした動き検出用固体撮像装置を提供することを目

的とする。

【0013】また、請求項3に記載の発明は、請求項2の目的と併せて、ショット雑音による動きの誤検出を選択的に低減する動き検出用固体撮像装置を提供することを目的とする。

【0014】さらに、請求項4に記載の発明は、画面水平方向について動きの誤検出を低減する動き検出用固体撮像装置を提供することを目的とする。また、請求項5に記載の発明は、画面垂直方向について動きの誤検出を低減する動き検出用固体撮像装置を提供することを目的とする。さらに、請求項6に記載の発明は、時間軸方向について動きの誤検出を低減する動き検出用固体撮像装置を提供することを目的とする。

【0015】

【課題を解決するための手段】 (請求項1) 請求項1に記載の発明は、マトリックス状に配列され、入射光に応じた画素出力を生成する複数の受光部と、複数の受光部の列毎に設けられた複数の垂直読み出し線と、複数の受光部の特定行を順次に選択しつつ、該特定行の受光部から過去保持した前フレームの画素出力と、該特定行の受光部から新規に保持した現フレームの画素出力を、垂直読み出し線へ逐次出力する垂直転送回路と、垂直読み出し線ごとに設けられ、垂直読み出し線を介して時分割に転送される前フレームの画素出力と現フレームの画素出力を比較する比較回路と、垂直読み出し線ごとに出力される比較回路の比較結果を水平転送する水平転送回路と、比較回路の比較結果に対し、論理変化の孤立領域を低減する論理演算を実行する論理演算回路とを備えて、動き検出用固体撮像装置を構成する。

【0016】このような構成の動き検出用固体撮像装置では、垂直転送回路の動作により、垂直読み出し線上に「前フレームの電気信号」と「現フレームの電気信号」とが行单位で時分割出力される。比較回路では、このように時分割出力される「前フレームの電気信号」と「現フレームの電気信号」とを取り込み、これらの比較を行う。水平転送回路は、この比較結果を水平転送する。

【0017】論理演算回路は、この比較結果について、論理変化の孤立領域を低減する論理演算を実行する。一般に、ショット雑音や背景の微少な動きなどにより生じるフレーム間差は、ランダムかつ瞬間に発生する。そのため、このような雑音成分の大部分は、フレーム間の比較結果において、論理変化の孤立領域（多くの場合、孤立点）として現れる。

【0018】一方、検出対象は画面上である程度の面積を有し、かつまとまって動く。そのため、このような検出対象の動きは、フレーム間の比較結果において、エッジ部分に沿った帯状領域などとして現れる。そこで、上記の論理演算回路が、論理変化の孤立領域を低減する論理演算を実行することにより、ショット雑音や背景の微少な動きに起因する動きの誤検出を効率よく低減するこ

とが可能となる。

【0019】なお、請求項1の記載では「フレーム」という表現を用いているが、これは、本出願において1コマ分の画像という意味である。それ故、請求項1の動き検出用固体撮像装置は、プログレシップ走査を行うものに限定される必要はなく、例えばインターレース走査を行うようなものでもかまわない。このようなインターレース走査においては、現フィールドと、現フィールドより以前の前フィールドとの差異に基づいて動き検出が行われる。

【0020】(請求項2) 請求項2に記載の発明は、請求項1に記載の動き検出用固体撮像装置において、垂直読み出し線を介して時分割に転送される前フレームの画素出力もしくは現フレームの画素出力のどちらか一方を選択的に取り込んで、水平転送する画像信号出力回路を備えたことを特徴とする。

【0021】このような構成では、垂直読み出し線上を時分割に転送される画素出力のどちらか一方を選択的に出力することにより、現フレームもしくは前フレームの画像信号を出力することが可能となる。

【0022】特に、このような画像信号の出力動作は、垂直読み出し線を占有することなく行われるので、動き検出側の動作を妨げることがない。したがって、動体信号と画像信号とを同時に出力することが可能となる。

(請求項3) 請求項3に記載の発明は、請求項2に記載の動き検出用固体撮像装置において、画像信号出力回路から出力される画像信号をレベル判別するレベル判別回路と、レベル判別回路の判別結果に応じて、論理演算回路の出力と比較回路の比較結果とを切り換えて出力する出力切換回路とを備えたことを特徴とする。

【0023】ところで、ショット雑音は、信号レベルの平方根に比例して生じるため、画像信号の高輝度部分に集中的に現れる。そのため、レベル判別回路が、画像信号が所定レベルを上回るか否かを判別することにより、ショット雑音の多く含まれる領域を特定することが可能となる。そこで例えば、出力切換回路において、画像信号が所定レベルを上回ると、論理演算回路の出力を選択出し、画像信号が所定レベルを下回ると、比較回路の比較結果を出力してもよい。このような切り換え動作では、ショット雑音に起因する動きの誤検出を選択的かつ確実に低減することが可能となる。さらに、ショット雑音が少ない領域については、孤立領域を無用に除去することがなくなり、小さな検出対象の動きを確実に検出することが可能となる。

【0024】また逆に、信号レベルが極端に小さいような場合、回路系などから生じるランダム雑音が優勢となる（特に、回路中にピークAGC回路などが介在する場合、信号レベルの低下に伴ってランダム雑音が増幅されて大きく現れる）。そこで例えば、出力切換回路において、画像信号が所定レベルを下回ると、論理演算回路の

出力を選択出力し、画像信号が所定レベルを上回ると、比較回路の比較結果を出力してもよい。このような切り換え動作では、ランダム雑音に起因する動きの誤検出を選択的かつ確実に低減することが可能となる。また、信号レベルが大きくてランダム雑音が少ない領域については、孤立領域を無用に除去することがなくなり、小さな検出対象の動きを確実に検出することが可能となる。

【0025】以上挙げた例のように、レベル判別回路の判別結果に応じて、「論理演算回路の出力」と「比較回路の比較結果」との出力切り換えを実行することにより、雑音などによる動き検出の誤りを選択的に低減しつつ、かつ小さな検出対象の動きを極力検出することが可能となる。

(請求項4) 請求項4に記載の発明は、請求項1ないし請求項3のいずれか1項に記載の動き検出用固体撮像装置において、論理演算回路は、比較結果を、水平転送される1画素ごとに記憶するビットメモリ回路と、ビットメモリ回路の記憶内容と比較結果との間で論理積演算を行う水平論理積回路とを有することを特徴とする。

【0026】(請求項5) 請求項5に記載の発明は、請求項1ないし請求項3のいずれか1項に記載の動き検出用固体撮像装置において、論理演算回路は、比較結果を、1ラインごとに記憶するラインメモリ回路と、ラインメモリ回路の記憶内容と比較結果との間で論理積演算を行う垂直論理積回路とを有することを特徴とする。

【0027】(請求項6) 請求項6に記載の発明は、請求項1ないし請求項3のいずれか1項に記載の動き検出用固体撮像装置において、論理演算回路は、比較結果を、1画面分ごとに記憶するフレームメモリ回路と、フレームメモリ回路の記憶内容と比較結果との間で論理積演算を行う時間軸論理積回路とを有することを特徴とする。

【0028】(請求項7) 請求項7に記載の発明は、請求項1ないし請求項6のいずれか1項に記載の動き検出用固体撮像装置において、垂直転送回路は、受光部ごとに設けられ、該受光部からの画素出力を保持し、保持した画素出力を非破壊で出力する画素出力保持部と、画素出力保持部ごとに設けられ、画素出力保持部の出力段と垂直読み出し線とを接続／分離する接続分離部と、特定行の画素出力保持部において過去保持された前フレームの画素出力を接続分離部を介して垂直読み出し線に出力した後、受光部から画素出力保持部に新規に現フレームの画素出力を保持させ、保持された現フレームの画素出力を接続分離部を介して垂直読み出し線に出力させる垂直転送制御手段とを有することを特徴とする。

【0029】(請求項8) 請求項8に記載の発明は、請求項7に記載の動き検出用固体撮像装置において、画素出力保持部は、画素出力を保持する制御領域を有し、該制御領域に保持された画素出力に対応した画素出力を出力する増幅素子と、受光部で生成される画素出力を増幅

素子の制御領域に転送する転送回路と、増幅素子の制御領域に蓄積された画素出力をリセットするリセット回路とを有することを特徴とする。

【0030】(請求項9) 請求項9に記載の発明は、請求項8に記載の動き検出用固体撮像装置において、増幅素子は、接合型電解効果トランジスタであり、転送回路を介して転送された画素出力は、接合型電界効果トランジスタのゲート領域に直に蓄積されることを特徴とする。

【0031】(請求項10) 請求項10に記載の発明は、請求項1ないし請求項9のいずれか1項に記載の動き検出用固体撮像装置において、比較回路は、現フレームの画素出力と前フレームの画素出力とが許容範囲内で一致するか否かを判定し、判定結果の真偽に応じて2値化信号を出力する回路であることを特徴とする。

【0032】

【発明の実施の形態】以下、図面に基づいて、本発明の実施の形態を説明する。

(第1の実施形態) 第1の実施形態は、請求項1、2、4、7～10に記載の発明に対応する実施形態である。

【0033】図1は、第1の実施形態の回路構成を示す図である。図1において、動き検出用固体撮像装置10には、単位画素1が、n行m列にマトリックス配列される。これらの単位画素1の出力は、垂直列ごとに共通接続され、m本分の垂直読み出し線2を形成する。また、動き検出用固体撮像装置10には、垂直転送のタイミングを決定するための垂直走査回路3が配置される。この垂直走査回路3からは、1行目の単位画素1に対し3種類の制御パルス $\varphi T G 1$ 、 $\varphi P X 1$ 、 $\varphi R G 1$ がそれぞれ供給される。同様にして、残りの2～n行目の単位画素1に対しても、垂直走査回路3から出力される3種類の制御パルス $\varphi T G 2 \sim n$ 、 $\varphi P X 2 \sim n$ 、 $\varphi R G 2 \sim n$ がそれぞれ供給される。

【0034】上記のm本分の垂直読み出し線2には、バイアス電流を供給するための電流源4と、差分処理回路5(相関2重サンプリング回路)と、異値検出回路6とがそれぞれ接続される。これらm個の差分処理回路5の標準制御端子には、制御パルス $\varphi V$ が共通に供給される。なお、このような制御パルス $\varphi V$ は、例えば垂直走査回路3などから出力される。また、m個の差分処理回路5の出力端子はすべて共通接続されて、画像信号用の水平読み出し線7を形成する。この水平読み出し線7上に出力される画像信号は、ビデオアンプ回路7aなどを介して、動き検出用固体撮像装置10の外部へ出力される。

【0035】また、水平読み出し線7には、リセット用のMOSスイッチ $Q R S H$ が接続される。これらのMOSスイッチ $Q R S H$ のゲートには、リセット用の制御パルス $\varphi R S H$ が供給される。このような制御パルス $\varphi R S H$ は、例えば水平走査回路8などから出力される。ま

た、動き検出用固体撮像装置10には、水平転送のタイミングを決定するための水平走査回路8が配置される。この水平走査回路8からは、1列目の差分処理回路5の走査制御端子に対して、制御パルス $\varphi H1$ が供給される。同様にして、残りの2~m列目の差分処理回路5の走査制御端子にも、水平走査回路8から出力される制御パルス $\varphi H2 \sim \varphi Hm$ がそれぞれ供給される。

【0036】一方、m個の異値検出回路6の標本制御端子には、2種類の制御パルス $\varphi SA, \varphi SB$ が共通に供給される。このような制御パルス $\varphi SA, \varphi SB$ は、例えば垂直走査回路3などから出力される。また、m個の異値検出回路6の出力端子Q1~Qmは、シフトレジスタ9のパラレル入力にそれぞれ接続される。このシフトレジスタ9には、パラレルデータの取り込みタイミングを決定するための制御パルス $\varphi LD$ と、シリアル転送の転送クロック $\varphi CK$ とが入力される。これらのパルス $\varphi LD, \varphi CK$ は、例えば水平走査回路8などから供給される。また、シフトレジスタ9のシリアル出力は、Dフリップフロップ9aのデータ入力と、AND回路9bの一方の入力とにそれぞれ供給される。

【0037】このDフリップフロップ9aのクロック入力にも、シフトレジスタ9に供給される転送クロック $\varphi CK$ が同様に与えられる。また、Dフリップフロップ9aの出力Qは、AND回路9bの他方の入力に供給される。このAND回路9bの出力は、動体信号として動き検出用固体撮像装置10の外部へ出力される。

(単位画素1の回路構成) 次に、図1に基づいて、1行1列目に位置する単位画素1について、具体的な回路構成、並びに接続関係を説明する。なお、その他の単位画素1についても、制御パルスの添え字が異なるだけで、1行1列目の単位画素1と回路構成は同様である。

【0038】まず、この単位画素1には、ホトダイオードPDが配置される。このホトダイオードPDのアノードは、電荷転送用のMOSスイッチQTを介して、接合型電界効果トランジスタからなる増幅素子QAのゲートに接続される。この電荷転送用のMOSスイッチQTのゲートには、垂直走査回路3から出力される制御パルス $\varphi TG1$ が供給される。

【0039】また、増幅素子QAのゲートは、信号電荷リセット用のMOSスイッチQPを介して、一定のリセット電位VRDに保たれた配線層に接続される。このMOSスイッチQPのゲートには、垂直走査回路3から出力される制御パルス $\varphi RG1$ が供給される。一方、この増幅素子QAのソースは、垂直転送用のMOSスイッチQXを介して垂直読み出し線2に接続される。このMOSスイッチQXのゲートには、垂直走査回路3から出力される制御パルス $\varphi PX1$ が供給される。

【0040】(差分処理回路5の回路構成) 次に、図1に基づいて、1列目の垂直読み出し線2に設けられた差分処理回路5について、具体的な回路構成を説明する。

なお、2列目以降の差分処理回路5についても、制御パルスの添え字が一部異なるだけで、1列目の差分処理回路5と回路構成は同様である。

【0041】まず、垂直読み出し線2に対し、暗信号を保持するためのコンデンサCVの一端が接続される。このコンデンサCVの他端には、接地電位などの一定電位を与えるためのMOSスイッチQVと、水平転送用のMOSスイッチQHとが接続される。このMOSスイッチQHの反対側は、水平読み出し線7に接続される。ここで、MOSスイッチQVのゲートには、制御パルス $\varphi V$ が供給される。また、MOSスイッチQHのゲートには、水平走査回路8から出力される制御パルス $\varphi H1$ が接続される。

【0042】(異値検出回路6の回路構成) 次に、図2に基づいて、垂直読み出し線2の1列目に設けられた異値検出回路6について、具体的な回路構成を説明する。なお、2列目以降の異値検出回路6についても、出力信号の添え字が異なるだけで、1列目の異値検出回路6と回路構成は同様である。

【0043】まず、垂直読み出し線2に対し、2つのコンデンサCCA, CCBの一端側がそれぞれ接続される。このコンデンサCCAの他端側は、3つのインバータINV1, INV3, INV5を直列に介してNAND回路NAの一方の入力端子に接続される。また、コンデンサCCAの他端側には、MOSスイッチQB1を介して、閾値を決定するための電圧VR1(=VT-Vth)が供給される。このMOSスイッチQB1のゲートには制御パルス $\varphi SA$ が供給される。さらに、コンデンサCCAの他端側は、正帰還ループを断続するMOSスイッチQB3を介してインバータINV3の出力に接続される。このMOSスイッチQB3のゲートには制御パルス $\varphi SB$ が供給される。

【0044】一方、コンデンサCCBの他端側は、2つのインバータINV2, INV4を直列に介してNAND回路NAの他方の入力端子に接続される。また、コンデンサCCBの他端側には、MOSスイッチQB2を介して、閾値を決定するための電圧VR2(=VT+Vth)が供給される。なお、ここでの電圧VTは、インバータINV1, INV2の閾値電圧に相当する値である。また、電圧Vthは、フレーム間の差異が有意なものか否かを決定するための閾値である。

【0045】このMOSスイッチQB2のゲートには制御パルス $\varphi SA$ が供給される。さらに、コンデンサCCBの他端側は、正帰還ループを断続するMOSスイッチQB4を介してインバータINV4の出力に接続される。このMOSスイッチQB4のゲートには制御パルス $\varphi SB$ が供給される。上記のNAND回路NAの出力は、シフトレジスタ9のパラレル入力端子Q1に供給される。

【0046】(本発明と第1の実施形態との対応関係)

ここで、本発明と第1の実施形態との対応関係について説明する。まず、請求項1、10に記載の発明と第1の実施形態との対応関係については、受光部はホトダイオードP Dに対応し、垂直読み出し線は垂直読み出し線2に対応し、垂直転送回路は「垂直走査回路3、増幅素子Q A、垂直転送用のMOSスイッチQ X、電荷転送用のMOSスイッチQ Tおよび信号電荷リセット用のMOSスイッチQ P」に対応し、比較回路は異値検出回路6に対応し、水平転送回路はシフトレジスタ9に対応し、論理演算回路はDフリップフロップ9 aおよびAND回路9 bに対応する。

【0047】請求項2に記載の発明と第1の実施形態との対応関係については、画像信号出力回路は、差分処理回路5、水平読み出し線7および水平走査回路8に対応する。請求項4に記載の発明と第1の実施形態との対応関係については、ビットメモリ回路はDフリップフロップ9 aに対応し、水平論理積回路はAND回路9 bに対応する。

【0048】請求項7に記載の発明と第1の実施形態との対応関係については、画素出力保持部が、増幅素子Q A、MOSスイッチQ TおよびMOSスイッチQ Pに対応し、接続分離部は垂直転送用のMOSスイッチQ Xに対応し、垂直転送制御手段は垂直走査回路3の「2フレーム分の画素出力を単位で時分割に読み出す機能」に対応する。

【0049】請求項8、9に記載の発明と第1の実施形態との対応関係については、増幅素子は増幅素子Q Aと対応し、転送回路はMOSスイッチQ Tに対応し、リセット回路はMOSスイッチQ Pに対応する。

(第1の実施形態の動作) 図3は、第1の実施形態における垂直転送の駆動タイミングを示す図である。なお、本図はi行目の垂直転送を示したものである。

【0050】以下、図3を用いて、第1の実施形態の動作を説明する。まず、図3に示す期間t10のタイミングにおいて、制御パルスφS Bをローレベルに立ち下げる。その結果、異値検出回路6内のMOSスイッチQ B 3、Q B 4が遮断され、コンデンサCCA、CCBの他端側がフローティング状態に設定される。

【0051】次に、図3に示す期間t11のタイミングにおいて、制御パルスφP X iをローレベルに保持し、かつ制御パルスφS Aをハイレベルに立ち上げる。この制御パルスφP X iの立ち下げにより、i行目のMOSスイッチQ Xが導通する。このとき、増幅素子Q Aのゲート領域には、前フレームの読み出しに際して蓄積された信号電荷が保持されている。そのため、増幅素子Q Aからなるソースホロワ回路は、前フレームかつi行目の画素出力Voldを垂直読み出し線2上に出力する。

【0052】一方、異値検出回路6側では、制御パルスφS Aの立ち上げにより、MOSスイッチQ B 1、Q B 2が導通する。その結果、コンデンサCCA、CCBを

通る充電経路が一時的に形成される。その結果、コンデンサCCAの両端には、(Vold-VT+Vth)の電圧が充電される。

【0053】一方、コンデンサCCBの両端には、(Vold-VT-Vth)の電圧が充電される。この期間t11の終了間際に、制御パルスφS Aが立ち下げられる。そのため、コンデンサCCA、CCBの他端側は再びフローティング状態となる。その結果、上記の電圧は、コンデンサCCA、CCBの両端電圧として保持される。

【0054】次に、図3に示す期間t12のタイミングにおいて、制御パルスφRG iをローレベルに立ち下げる。すると、i行目の単位画素1では、MOSスイッチQ Pが導通し、増幅素子Q Aのゲート領域に保持されていた前フレームの信号電荷が排出される。その結果、ゲート領域は、配線層を介してリセット電圧VRDに初期化される。

【0055】この期間t12の終了間際、制御パルスφRG iがハイレベルに戻される。その結果、MOSスイッチQ Pが遮断され、増幅素子Q Aのゲート領域はフローティング状態のまま、リセット時の電圧を保持する。続く期間t13のタイミングにおいても、制御パルスφPX iは依然ローレベルに維持される。そのため、垂直読み出し線2には、増幅素子Q Aのソースホロワ回路を介して暗信号Vdが出力される。この暗信号Vdは、リセット動作時のリセット雑音(いわゆるkTC雑音)や、固定パターン雑音の主原因である増幅素子Q Aのゲートソース間の電圧バラツキなどを含んだ信号である。

【0056】一方、この期間t13において、制御パルスφVがハイレベルに立ち上げられる。差分処理回路5側では、制御パルスφVの立ち上げにより、MOSスイッチQ Vが導通する。その結果、コンデンサCVを通る充電経路が形成され、i行目の暗信号Vdは、差分処理回路5内のコンデンサCVに充電される。この期間t13の終了間際に、制御パルスφVが立ち下げられる。そのため、コンデンサCVの一端は再びフローティング状態となり、i行目の暗信号Vdは、コンデンサCV群の両端電圧として保持される。

【0057】次に、図3に示す期間t14のタイミングにおいて、制御パルスφTG iがローレベルに立ち下げる。すると、i行目の単位画素1において、MOSスイッチQ Tが導通し、i行目のホトダイオードP Dに蓄積された現フレームの信号電荷が、増幅素子Q Aのゲート領域に転送される。この期間t14の終了間際、制御パルスφTG iがハイレベルに戻される。その結果、MOSスイッチQ Tが遮断され、増幅素子Q Aのゲート領域はフローティング状態のまま、転送された信号電荷に応じて電位が上昇した状態を保持する。

【0058】続く期間t15のタイミングにおいても、

制御パルス $\varphi P X i$ は依然ローレベルである。そのため、垂直読み出し線2からは、増幅素子QAのソースホロワ回路を介して現フレームかつ $i$ 行目の画素出力 $V_{now}$ が新たに出力される。この期間 $t_{15}$ において、差分処理回路5側のコンデンサCVの一端側には、現フレームかつ $i$ 行目の画素出力 $V_{now}$ から、 $i$ 行目の暗信号分 $V_d$ を減じた差分電圧が現れる。この差分電圧は、暗信号成分が取り除かれた「現フレームの画素出力」である。

【0059】また一方、この期間 $t_{15}$ において、異値検出回路6側のコンデンサCCAの他端側には、 $(V_{now} - V_{old} + V_T - V_{th})$ の電圧が現れる。また、コンデンサCCBの他端側には、 $(V_{now} - V_{old} + V_T + V_{th})$ の電圧が現れる。これらの電圧は、インバータINV1, INV2を介して、閾値電圧 $V_T$ を境に反転される。

【0060】以上のような電圧関係により、フレーム間の画素出力差 $(V_{now} - V_{old})$ が $V_{th}$ を上回ると、インバータINV1はローレベルを出力する。一方、フレーム間の画素出力差 $(V_{now} - V_{old})$ が $V_{th}$ を下回ると、インバータINV1はハイレベルを出力する。また、フレーム間の画素出力差 $(V_{now} - V_{old})$ が $(-V_{th})$ を上回ると、インバータINV2はローレベルを出力する。一方、フレーム間の画素出力差 $(V_{now} - V_{old})$ が $(-V_{th})$ を下回ると、インバータINV2はハイレベルを出力する。

【0061】これらの論理出力は、インバータINV3～5を介した後、NAND回路NAにそれぞれ入力される。その結果、NAND回路NAからは、フレーム間の画素出力差 $(V_{now} - V_{old})$ の値が $(-V_{th}) \sim V_{th}$ の許容範囲内にある場合、ローレベルが出力される。また、フレーム間の画素出力差 $(V_{now} - V_{old})$ の値が $(-V_{th}) \sim V_{th}$ の許容範囲外にある場合、ハイレベルが出力される。このような動作により、NAND回路NAの出力は、フレーム間の画素出力が許容範囲内で一致しているか否かを示す2値化信号となる。

【0062】このような期間 $t_{15}$ の状態において、制御パルス $\varphi LD$ がハイレベルに立ち上げられる。その結果、 $m$ 個のNAND回路NAから出力される2値化信号は、シフトレジスタ9のパラレル入力端子Q1～Qmから一括して取り込まれ、シフトレジスタ9の内部値D1～Dmとしてそれぞれ保持される。

【0063】次に、期間 $t_{16}$ のタイミングにおいて、制御パルス $\varphi SB$ を立ち上げることにより、MOSスイッチQB3, QB4が導通する。その結果、インバータINV3, INV4を介してコンデンサCCA, CCBが正帰還方向に再充電され、NAND回路NAの出力が安定化される。図4は、この期間 $t_{16}$ における水平転送の駆動タイミングを示す図である。

【0064】まず、期間 $t_{16}$ のタイミングにおいて、

水平走査回路8は、制御パルス $\varphi H 1 \sim \varphi H m$ を立ち代わりハイレベルに順次設定する。そのため、 $m$ 列分のコンデンサCVの一端側は、1～ $m$ 列の順番で水平読み出し線7に接続される。その結果、水平読み出し線7上には、現フレームかつ $i$ 行目の画像信号（図4中のA1～A5など）が順次に出力される。

【0065】なお、制御パルス $\varphi H 1 \sim \varphi H m$ をハイレベルに設定する合間に、 $\varphi RSH$ がハイレベルに一時設定される。このような動作により、水平読み出し線7上の残留電荷が、MOSスイッチQRSHを介して毎回排出される。そのため、水平転送される画像信号に残留電荷が混じることがない。また一方、この期間 $t_{16}$ のタイミングにおいて、シフトレジスタ9に転送パルス $\varphi CK$ が順次与えられる。この転送パルス $\varphi CK$ の立ち下がりに同期して、シフトレジスタ9のシリアル出力からは、内部値D1～Dmがシリアルに出力される。

【0066】このシリアル出力D1～Dmは、Dフリップフロップ9aを介して、1画素分（1クロック分）だけ遅延される。AND回路9bは、シリアル出力D1～Dmと、遅延後のシリアル出力D1～Dmとの間で論理積をとり、動体信号として外部に出力する。なお、上述した $i$ 行目に対する一連の処理を、その他の水平平行についても順に繰り返すことにより、水平読み出し線7からは、現フレームの画像信号が順次に出力され、出力端子V0からは1フレーム分の動体信号が順次に出力される。

【0067】以上説明した動作により、第1の実施形態では、異値検出回路6が、垂直読み出し線2に時分割出力される2フレーム分の画素出力を比較することにより、検出対象の動きを検出することが可能となる。したがって、動き検出を行うために、固体撮像装置の外部に、AD変換回路、画像メモリや画像処理回路などの周辺回路を設ける必要が一切ない。その結果、動き検出を必要とする監視装置や画像圧縮回路などの装置全般を小型、かつ低コストに構成することが可能となる。

【0068】また、第1の実施形態では、AD変換回路を介さずに動体信号を生成している。そのため、AD変換回路によりダイナミックレンジが制限されることはなく、固体撮像装置自体の広いダイナミックレンジをそのまま利用して、動き検出を行うことができる。また、第1の実施形態では、前フレームの画素出力と現フレームの画素出力とが、固体撮像装置の内部において画素位置の位相ズレなく比較される。したがって、外部回路でフレーム間差をとる場合に比べ、画像のエッジ部分を動きと誤検出するなどの不具合がなくなる。

【0069】また、第1の実施形態では、垂直読み出し線2上を時分割出力される「現フレームの画素出力」を選択的に出力することにより、画像信号を出力することができる。このような動体信号および画像信号の同時出力は、監視装置などのように、画像を観察（記録）しな

がら動きを検出する用途に非常に適したものとなる。さらに、第1の実施形態では、垂直読み出し線2を効率的に使用して、2フレーム分の画素出力に加えて暗信号まで時分割に出力する。差分処理回路5では、この暗信号に基づいて、暗信号を除去した高品質な画素出力を得ることができる。

【0070】また特に、第1の実施形態では、Dフリップフロップ9aとAND回路9bとからなる論理演算回路を用いて、シリアル出力D1～Dmの中から、画面水平方向に1画素のみハイレベルとなる孤立点を削除する。そのため、ショット雑音や背景の微少な動きに起因する動きの誤検出を効率よく低減することが可能となる。なお、第1の実施形態では、Dフリップフロップ9aを一つ配置して水平方向に隣接する2画素間で動体信号の論理積演算を実行しているが、本発明はこれに限定されるものではない。例えば、2つ以上のビットメモリ（フリップフロップ回路など）を直列に配置して、これらビットメモリの各出力とシフトレジスタ9のシリアル出力との論理積演算を実行してもよい。このような構成では、広範囲に論理積演算を実行することができるので、動き検出の誤りを一層確実に低減することが可能となる。

【0071】次に、別の実施形態について説明する。  
(第2の実施形態) 第2の実施形態は、請求項1～5, 7～10に記載の発明に対応した実施形態である。図5は、第2の実施形態の回路構成を示す図である。

【0072】第2の実施形態における構成上の特徴点は、次の点である。まず、水平読み出し線7には、ビデオアンプ7aが設けられる。このビデオアンプ7aから出力される画像信号は、外部へ出力されると共に、コンパレータ21の正側入力に供給される。このコンパレータ21は、画像信号のレベルを閾値判別し、2値化されたレベル判別信号ALを出力する。

【0073】このレベル判別信号ALは、Dフリップフロップ23aを介して水平1画素分だけ遅延された後、AND回路23の反転側入力と、AND回路24の第1の入力とにそれぞれ供給される。一方、シフトレジスタ9のシリアル出力は、「Dフリップフロップ22のデータ入力」、「AND回路24の第2の入力」および「シフトレジスタ25のシリアル入力」にそれぞれ供給される。

【0074】このDフリップフロップ22のデータ出力は、「AND回路23の非反転側の入力」および「AND回路24の第3の入力」にそれぞれ供給される。また、シフトレジスタ25のシリアル出力は、AND回路24の第4の入力と、Dフリップフロップ26のデータ入力とにそれぞれ供給される。このDフリップフロップ26のデータ出力は、AND回路24の第5の入力に供給される。

【0075】さらに、上記のAND回路23の出力と、

AND回路24の出力とは、OR回路27にそれぞれ入力される。このOR回路27の出力は、動体信号として外部へ出力される。なお、その他の構成要件については、第1の実施形態（図1）の構成要件と同一のため、図5に同一の参照符号を付与して示し、ここでの説明を省略する。

【0076】（本発明と第2の実施形態との対応関係）ここで、請求項1, 10に記載の発明と第2の実施形態との対応関係については、受光部はホトダイオードPDに対応し、垂直読み出し線は垂直読み出し線2に対応し、垂直転送回路は「垂直走査回路3, 増幅素子QA, 垂直転送用のMOSスイッチQX, 電荷転送用のMOSスイッチQTおよび信号電荷リセット用のMOSスイッチQP」に対応し、比較回路は異値検出回路6に対応し、水平転送回路はシフトレジスタ9に対応し、論理演算回路はDフリップフロップ22, 23a, 26, AND回路24およびシフトレジスタ25に対応する。

【0077】請求項2に記載の発明と第2の実施形態との対応関係については、画像信号出力回路は、差分処理回路5, 水平読み出し線7および水平走査回路8の「現フレームの画像信号を選択的に水平転送する機能」に対応する。請求項3に記載の発明と第2の実施形態との対応関係については、レベル判別回路はコンパレータ21に対応し、出力切換回路はAND回路23, 24およびOR回路27に対応する。

【0078】請求項4に記載の発明と第2の実施形態との対応関係については、ビットメモリ回路はDフリップフロップ22, 26に対応し、水平論理積回路はAND回路24に対応する。請求項5に記載の発明と第2の実施形態との対応関係については、ラインメモリ回路はシフトレジスタ25に対応し、垂直論理積回路はAND回路24に対応する。

【0079】請求項7に記載の発明と第2の実施形態との対応関係については、画素出力保持部が、増幅素子QA, MOSスイッチQTおよびMOSスイッチQPに対応し、接続分離部は垂直転送用のMOSスイッチQXに対応し、垂直転送制御手段は垂直走査回路3の「2フレーム分の画素出力を時分割に読み出す機能」に対応する。請求項8, 9に記載の発明と第2の実施形態との対応関係については、増幅素子は増幅素子QAと対応し、転送回路はMOSスイッチQTに対応し、リセット回路はMOSスイッチQPに対応する。

【0080】（第2の実施形態の動作）次に、第2の実施形態における水平転送時の動作について説明する。なお、第2の実施形態における垂直転送時の動作は、第1の実施形態（図3）と同様のため、ここでの説明を省略する。図6は、期間t16における水平転送時の駆動タイミングを示す図である。

【0081】まず、期間t16のタイミングにおいて、水平走査回路8は、制御パルス $\phi H1 \sim \phi Hm$ を立ち代

わりハイレベルに順次設定する。そのため、m列分のコンデンサC Vの一端側は、1～m列の順番で水平読み出し線7に接続される。その結果、水平読み出し線7上には、現フレームかつi行目の画像信号（図6中のA1～A5, A11～A15など）が順次に出力される。

【0082】コンパレータ21は、この画像信号のレベルを閾値判別し、レベル判別信号ALを出力する。このレベル判別信号ALは、画像信号の高輝度部においてハイレベルを示す2値化信号である。また一方、この期間t16のタイミングにおいて、シフトレジスタ9およびシフトレジスタ25に転送パルスφCKが順次与えられる。この転送パルスφCKの立ち下がりに同期して、シフトレジスタ9のシリアル出力からは、異値検出回路6の出力である、フレーム間の比較結果D1a～Dmaがシリアルに出力される。

【0083】このフレーム間の比較結果D1a～Dmaは、シフトレジスタ25を通過して、垂直1ライン分だけ遅延される。その結果、シフトレジスタ25のシリアル出力からは、垂直1ライン分だけ遅延した比較結果D1b～Dmbが順次に出力される。上記の比較結果D1a～Dmaは、Dフリップフロップ22を介して、1画素分（1クロック分）だけ遅延される。

【0084】また、垂直1ライン分遅延された比較結果D1b～Dmbについても、Dフリップフロップ26を介して、1画素分（1クロック分）だけ更に遅延される。その結果、AND回路24の4本の入力端子には、フレーム間の比較結果が、（垂直2画素×水平2画素）分だけまとめて同時入力される。一方、AND回路23の非反転側の入力端子には、フレーム間の比較結果の1画素分であるD1a～Dmaが、水平1画素分だけ遅延された状態で入力される。

【0085】これらAND回路23, 24の残りの入力端子には、レベル判別信号ALが互いに逆相で入力される。そのため、レベル判別信号ALの論理値に従って、下記のような出力切り換えが行われる。

（1）まず、画像信号の高輝度部では（水平1画素遅延したレベル判別信号ALがハイレベルの場合）、フレーム間の比較結果を（垂直2画素×水平2画素）ごとに論理積をとった結果が、OR回路27から出力される。その結果、フレーム間の比較結果から、水平垂直および斜めのいずれかの方向において1画素でもローレベルであるような孤立領域が除去される。

【0086】（2）画像信号の高輝度部以外では（水平1画素遅延したレベル判別信号ALがローレベルの場合）、フレーム間の比較結果が、Dフリップフロップ22およびAND回路23を介してOR回路27から、水平1画素分だけ遅延された状態で出力される。なお、このような遅延動作は、AND回路24側の出力における画素位置と位相を合わせるための補償動作である。この遅延動作により、出力切り換えに伴う動体信号の繋ぎ目

を目立ちにくくすることができる。

【0087】以上のような動作により、第2の実施形態では、フレーム間の比較結果の中から、水平、垂直もしくは斜めのいずれかの方向に1画素のみハイレベルが生じるような孤立領域が排除される。その結果、ショット雑音により生じる孤立領域を効率的に低減することが可能となる。また、第2の実施形態では、画像信号の高輝度部に限定して、上記の孤立領域除去を実行する。特に、このような画像信号の高輝度部はショット雑音が集中的に発生する箇所である。そのため、このような高輝度部に限定した孤立領域の除去により、ショット雑音により生じる孤立領域を効率的に低減することが可能となる。

【0088】一方、画像信号の高輝度部以外については、AND回路23を介して、フレーム間の比較結果が水平1画素分だけ遅延された状態で出力される。そのため、ショット雑音に本来無関係な孤立領域を除去するおそれがない。その結果、小さな検出対象の動きをより確実に検出することが可能となる。なお、第2の実施形態では、シフトレジスタ25（一種のラインメモリ回路）を一つ配置して垂直方向に隣接する2画素間で動体信号の論理積演算を実行しているが、本発明はこれに限定されるものではない。例えば、2つ以上のラインメモリ回路（シフトレジスタなど）を垂直に配置して、これらのラインメモリ回路の各出力とシフトレジスタ9のシリアル出力との間で論理積演算を実行してもよい。このような構成では、より広範囲に論理積演算を実行することができるので、動き検出の誤りを一層確実に低減することが可能となる。

【0089】また、第2の実施形態では、画像信号の高輝度側に限定して、動体信号の論理積演算を実行しているがこれに限定されるものではない。例えば、画像信号の低輝度側において、動体信号の論理積演算を実行してもよい。このような構成では、ランダム雑音による動き検出の誤りを選択的に低減することが可能となる。次に、別の実施形態について説明する。

【0090】（第3の実施形態）第3の実施形態は、請求項1, 2, 6～10に記載の発明に対応する実施形態である。図7は、第3の実施形態の回路構成を示す図である。第3の実施形態における構成上の特徴点は、次の点である。

【0091】まず、シフトレジスタ9のシリアル出力は、「AND回路33の一方の入力」および「フレームメモリ34のデータ入力」にそれぞれ供給される。このフレームメモリ34のデータ出力は、AND回路33の他方の入力に供給される。このAND回路33の出力は、動体信号として外部へ出力される。

【0092】なお、他の構成要件については、第1の実施形態（図1）の構成要件と同一のため、図7に同一の参照符号を付与して示し、ここでの説明を省略す

る。

(本発明と第3の実施形態との対応関係) ここで、請求項1, 10に記載の発明と第3の実施形態との対応関係については、受光部はホトダイオードPDに対応し、垂直読み出し線は垂直読み出し線2に対応し、垂直転送回路は「垂直走査回路3、増幅素子QA、垂直転送用のMOSスイッチQX、電荷転送用のMOSスイッチQTおよび信号電荷リセット用のMOSスイッチQP」に対応し、比較回路は異値検出回路6に対応し、水平転送回路はシフトレジスタ9に対応し、論理演算回路はフレームメモリ34およびAND回路33に対応する。

【0093】請求項2に記載の発明と第3の実施形態との対応関係については、画像信号出力回路は、差分処理回路5、水平読み出し線7および水平走査回路8の「現フレームの画像信号を選択的に水平転送する機能」に対応する。請求項6に記載の発明と第3の実施形態との対応関係については、フレームメモリ回路はフレームメモリ34に対応し、時間軸論理積回路はAND回路33に対応する。

【0094】請求項7に記載の発明と第3の実施形態との対応関係については、画素出力保持部が、増幅素子QA、MOSスイッチQTおよびMOSスイッチQPに対応し、接続分離部は垂直転送用のMOSスイッチQXに対応し、垂直転送制御手段は垂直走査回路3の「2フレーム分の画素出力を時分割に読み出す機能」に対応する。請求項8, 9に記載の発明と第3の実施形態との対応関係については、増幅素子は増幅素子QAと対応し、転送回路はMOSスイッチQTに対応し、リセット回路はMOSスイッチQPに対応する。

【0095】(第3の実施形態の動作) 次に、第3の実施形態における水平転送時の動作について説明する。なお、第3の実施形態における垂直転送時の動作は、第1の実施形態(図3)と同様のため、ここでの説明を省略する。図8は、期間t16における水平転送時の駆動タイミングを示す図である。

【0096】まず、期間t16のタイミングにおいて、シフトレジスタ9に転送パルスφCKが順次与えられる。この転送パルスφCKの立ち下がりに同期して、シフトレジスタ9のシリアル出力からは、異値検出回路6の出力である、フレーム間の比較結果D1α～Dmαが順次に出力される(図8中に示すD1α～D5αなど)。このフレーム間の比較結果は、フレームメモリ34を介して、1フレーム分だけ遅延される。その結果、フレームメモリ34のデータ出力からは、1フレーム分だけ遅延した比較結果が順次に出力される(図8中に示すD1β～D5βなど)。

【0097】AND回路33は、これらの比較結果について論理積をとり、動体信号として外部に出力する。以上説明した動作により、フレームメモリ34およびAND回路33とからなる論理演算回路により、フレーム間

の比較結果の中で、時間軸方向に1画素分のみハイレベルが生じるような孤立点を排除することができる。したがって、ショット雑音や背景の微少な動きなどによる動きの誤検出を低減することができる。

【0098】なお、上述した第1～3の実施形態では、増幅素子QAとして接合型電界効果トランジスタを使用しているが、この構成に特に限定されるものではない。一般的には、増幅機能を有する素子を増幅素子QAとして使用することができる。例えば、増幅素子QAとしてMOSトランジスタやバイポーラトランジスタなどを使用してもよいし、これらの素子を混在使用した機能素子を使用しても良い。また、これらの増幅素子のゲートやベースに発生する寄生容量に信号電荷を保持してもよいし、これら増幅素子のゲートやベースに信号電荷を保持するためのコンデンサなどを補助的に設けてもよい。

【0099】さらに、上述した第1～3の実施形態では、接続分離部として、垂直転送用のMOSスイッチQXを設けているが、これに限定されるものではない。例えば、増幅素子のゲートやベースに信号電荷を蓄積するためのコンデンサを設け、このコンデンサの他端側の電圧を上下させることにより、増幅素子と垂直読み出し線との接続・分離を制御してもよい。

【0100】また、上述した第1～3の実施形態では、ホトダイオードPDで生じた信号電荷を、増幅素子の制御領域に直接転送する場合を説明したが、本発明はこれに限定されるものではない。例えば、信号電荷を拡散領域に一旦転送し保持した後、その拡散領域の電位を信号線を介してMOSトランジスタのゲートで検出してもよい。このような画素の例としては、例えば、文献『Active Pixel Sensors: Are CCD's Dinosaurs?』, Fossum E. R., Proceeding of SPIE: Charge-Coupled Device and Solid State Optical Sensors III, Vol. 1900, pp2-14(1993)に記されたものがある。

【0101】なお、上述した第1～3の実施形態では、動体信号について、空間方向もしくは時間軸方向の論理積演算を実行しているが、これに限定されるものではない。一般的には、動体信号に対して非相関の雑音成分を低減する演算を実行すればよい。例えば、論理積演算の代わりに多数決演算などを実行してもよい。さらに、上述した第1の実施形態では、単位画素1が2次元マトリックス状に配列されている場合を説明したが、1次元マトリックス状に配列されるライン撮像素子などに対しても、本発明が、同様に適用できるのは勿論である。

【0102】また、上述した実施形態では、正論理に基づく回路構成について説明しているが、この構成に限定されるものではない。上述した回路構成の一部もしくは全部を負論理に基づく回路構成にしてもよいのは勿論である。

【0103】

【発明の効果】 (請求項1) 以上説明したように、請求

項1の発明では、垂直読み出し線上に「前フレームの画素出力」と「現フレームの画素出力」とが時分割に出力される。これらの画素出力を比較することにより、固体撮像装置の内部において動き検出を実現することができる。

【0104】そのため、固体撮像装置の外部に、A/D変換回路、画像メモリや画像処理回路などの周辺回路を特に設ける必要がなく、装置全体の小型化および低コスト化を図ることができる。また、請求項1の発明では、アナログ信号である画像信号を外部のA/D変換回路などまで引き回す必要がなく、周辺雑音の影響を受けるおそれがない。

【0105】さらに、請求項1の発明では、動き検出用固体撮像装置の外部に従来必要であったA/D変換回路が不要になる。その結果、A/D変換回路によりダイナミックレンジが制限されることはなく、固体撮像装置自体の広いダイナミックレンジで、動き検出を行うことが可能となる。また、請求項1の発明では、前フレームの画素出力と現フレームの画素出力を垂直読み出し線ごとに直に比較する。したがって、A/D変換などを経てフレーム間差をとる場合に比べ、比較すべき画素位置にズレは一切生じない。したがって、静止体のエッジ部などでフレーム間差を生じるなどのおそれが極めて少なく、動き検出を一段と高精度に行なうことが可能となる。

【0106】その上、請求項1に発明では、比較回路の比較結果に対して論理演算を実行し、論理変化の孤立領域を低減する。そのため、固体撮像装置の内部において、ショット雑音や背景の微少な動きによる孤立領域が低減され、これらに起因する余計な動き検出を適正に抑制することができる。

(請求項2) 請求項2に記載の発明では、垂直読み出し線上を時分割に転送される画素出力のどちらか一方を選択的に出力することにより、現フレームもしくは前フレームの画像信号を出力することができる。

【0107】特に、このような画像信号の出力動作は、垂直読み出し線を占有することなく行われるので、動き検出側の動作を妨げることがない。したがって、請求項2の動き検出用固体撮像装置においては、動体信号と画像信号とを同時に出力することが可能となる。特に、このような画像信号と動体信号の同時出力により、これら両信号を用いた画像表示のバリエーションが格段に増え、動き検出用固体撮像装置の用途が著しく広がる。

【0108】(請求項3) 請求項3に記載の発明では、画像信号の信号レベルに応じて、論理演算回路の出力と比較回路の比較結果との出力切り換えを行う構成を有する。このような切り換え動作により、画像信号の信号レベルに合わせて、適宜に動き検出の誤りを低減することが可能となる。また同時に、画像信号の信号レベルに合わせて、孤立領域を無用に削除することがなくなるため、小さな検出対象の動きを極力検出することも可能と

なる。

【0109】例えば、画像信号の高輝度部において論理演算回路側の出力を選択出力した場合、ショット雑音による動き検出の誤りを選択的に低減することが可能となる。その上、画像信号の低輝度部において比較回路側の出力を選択出力することにより、ショット雑音とは本来無関係な「小さな検出対象の動き」を極力検出することが可能となる。

【0110】また例えば、画像信号の低輝度部において論理演算回路の出力を選択出力した場合、回路系などのランダム雑音による動き検出の誤りを選択的に低減することが可能となる。その上、画像信号の高輝度部および中間輝度部において比較回路側の出力を選択出力することにより、ランダム雑音とは本来無関係な「小さな検出対象の動き」を極力検出することが可能となる。

【0111】さらに例えば、画像信号の低輝度部および高輝度部において論理演算回路の出力を選択出力したような場合、ランダム雑音およびショット雑音による動き検出の誤りを選択的に低減することが可能となる。その上、中間輝度部において比較回路側の出力を出力することにより、ランダム雑音やショット雑音とは本来無関係な「小さな検出対象の動き」を極力検出することが可能となる。

【0112】なお、以上のような動作はいずれも、動体信号と画像信号とを同時に出力する構成において、初めて可能となる動作である。

(請求項4) 請求項4に記載の発明では、画面水平方向に沿って、比較結果の論理積をとる。そのため、水平方向に1画素分のみ論理変化が生じるような孤立点を排除し、ショット雑音や背景の微少な動きなどで生じる論理変化の孤立点を低減することが可能となる。

【0113】(請求項5) 請求項5に記載の発明では、画面垂直方向に沿って、比較結果の論理積をとる。そのため、垂直方向に1画素分のみ論理変化が生じるような孤立点を排除し、ショット雑音や背景の微少な動きなどで生じる論理変化の孤立点を低減することが可能となる。

【0114】(請求項6) 請求項6に記載の発明では、時間軸方向に沿って、比較結果の論理積をとる。そのため、時間軸方向に1画素分のみ論理変化が生じるような孤立点を排除し、ショット雑音や背景の微少な動きなどで生じる論理変化の孤立点を低減することが可能となる。

【0115】(請求項7) 請求項7に記載の発明では、受光部ごとに画素出力保持部を設けたので、受光部において現フレームの画素出力を蓄積する動作と、前フレームの画素出力を保持もしくは出力する動作とを同時に並行に実行することができる。そのため、垂直読み出し線に2フレーム分の画素出力を時分割出力するために、現フレームの受光蓄積期間が制限されることがない。その結

果、画素出力のレベルが大きくなり、雑音などによる動きの誤検出を根本的に低減することが可能となる。

【0116】(請求項8～9)請求項8または請求項9に記載の発明は、受光部からの画素出力を、増幅素子の制御領域に直に保持するので、途中に画素出力を保持するための容量分などを設ける必要がない。また、途中の容量分における容量分配の信号ロスがなくなり、S/Nの向上を図ることが可能となる。

【0117】また、リセット回路により制御領域が一定のリセット電位に初期化されるので、フレーム間における画素出力の混合を防止することができる。その結果、画素出力のS/Nが向上し、雑音などによる動きの誤検出を根本的に低減することが可能となる。

(請求項10)請求項10に記載の発明は、比較回路が2値化信号を出力する。そのため、論理演算回路として汎用の論理回路を構成すればよい。また、2値化信号の転送に当たっては、シフトレジスタ回路を使用することができる。このようなシフトレジスタ回路の使用により、動体信号の水平転送動作において高速化と低雑音化とを容易に実現することができる。

【0118】特に、動体信号の2値化により信号転送中のノイズマージンが向上するので、雑音などによる動きの誤検出を根本的に低減することが可能となる。

【図面の簡単な説明】

【図1】第1の実施形態の回路構成を示す図である。

【図2】異値検出回路6の回路構成を示す図である。

【図3】第1の実施形態における垂直転送の駆動タイミングを示す図である。

【図4】第1の実施形態における水平転送の駆動タイミングを示す図である。

【図5】第2の実施形態の回路構成を示す図である。

【図6】第2の実施形態における水平転送の駆動タイミングを示す図である。

【図7】第3の実施形態の回路構成を示す図である。

【図8】第3の実施形態における水平転送の駆動タイミングを示す図である。

【図9】従来の動き検出用画像処理装置100を示す図である。

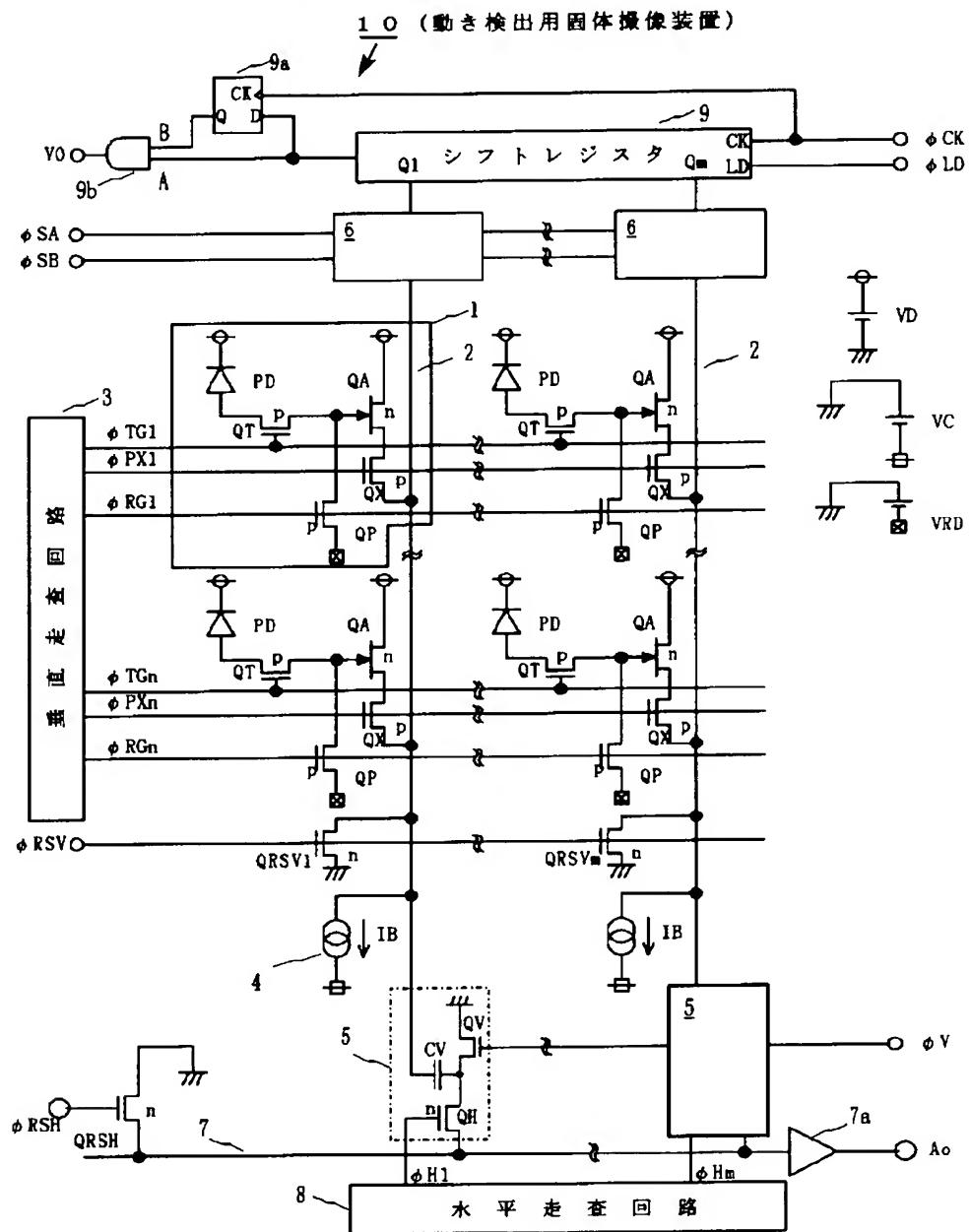
【符号の説明】

- 1 単位画素
- 2 垂直読み出し線
- 3 垂直走査回路
- 4 電流源
- 5 差分処理回路
- 6 異値検出回路
- 7 水平読み出し線
- 7a ビデオアンプ
- 8 水平走査回路
- 9 シフトレジスタ
- 9a Dフリップフロップ
- 9b AND回路
- 10 動き検出用固体撮像装置
- 21 コンパレータ
- 22 Dフリップフロップ
- 23 AND回路
- 23a Dフリップフロップ
- 24 AND回路
- 25 シフトレジスタ
- 26 Dフリップフロップ
- 27 OR回路
- 33 AND回路
- 34 フレームメモリ

Q R S H リセット用のMOSスイッチ  
 P D ホトダイオード  
 Q T 電荷転送用のMOSスイッチ  
 Q A 増幅素子  
 Q P 信号電荷リセット用のMOSスイッチ  
 Q X 垂直転送用のMOSスイッチ  
 C V 暗信号を保持するためのコンデンサ  
 Q V MOSスイッチ  
 Q H 水平転送用のMOSスイッチ  
 C C A コンデンサ  
 C C B コンデンサ  
 Q B 3 MOSスイッチ  
 Q B 1 MOSスイッチ  
 N A NAND回路  
 I N V 1 インバータ

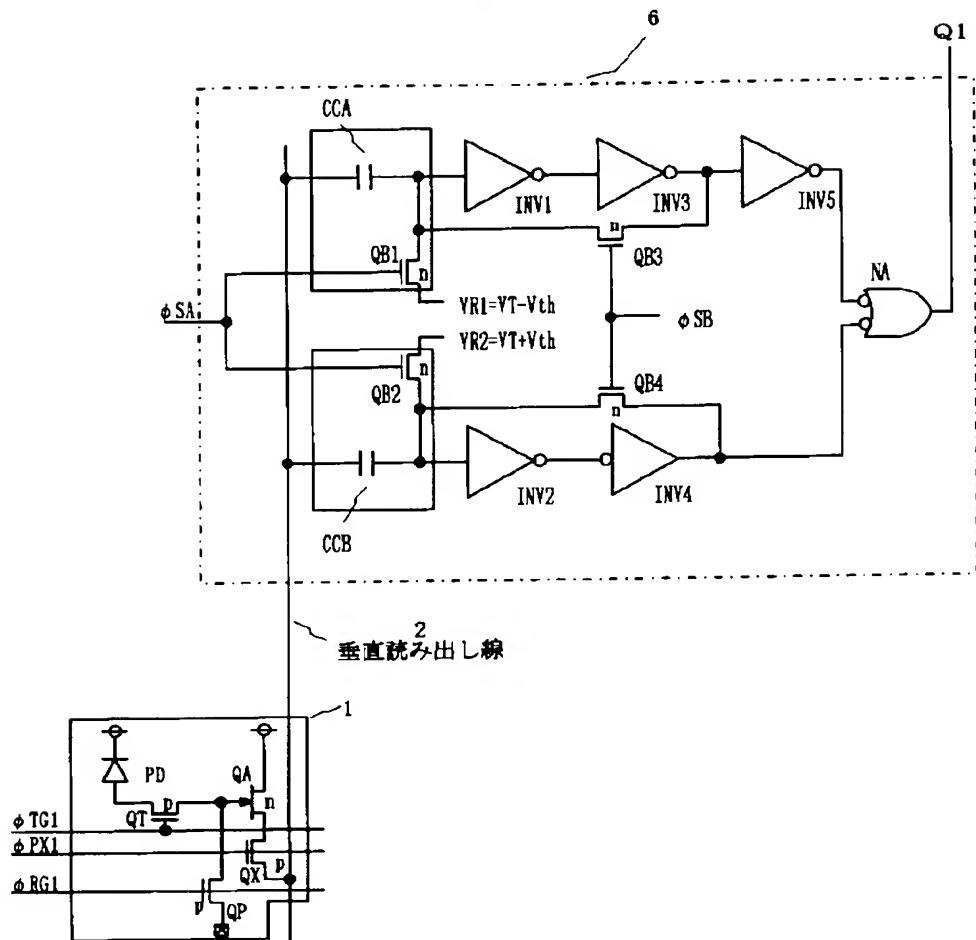
【図1】

第1の実施形態（請求項1，2，4，7～10に対応）を示す図

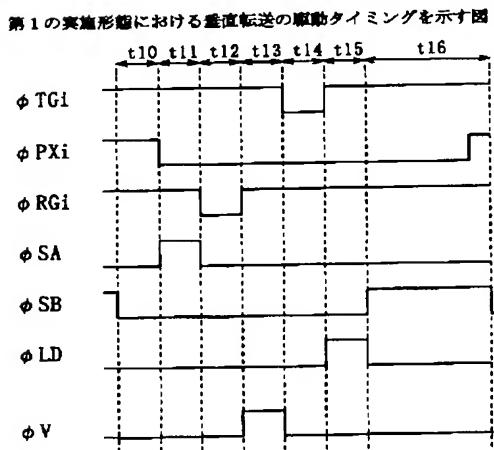


【図2】

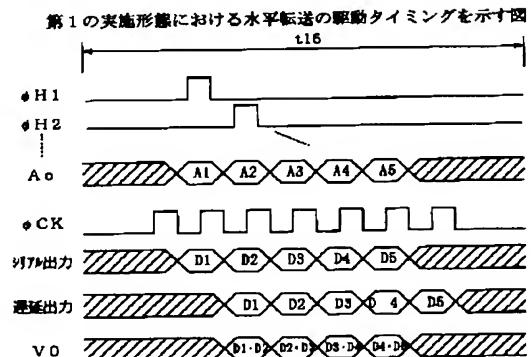
異値検出回路6の回路例を示す図



【図3】

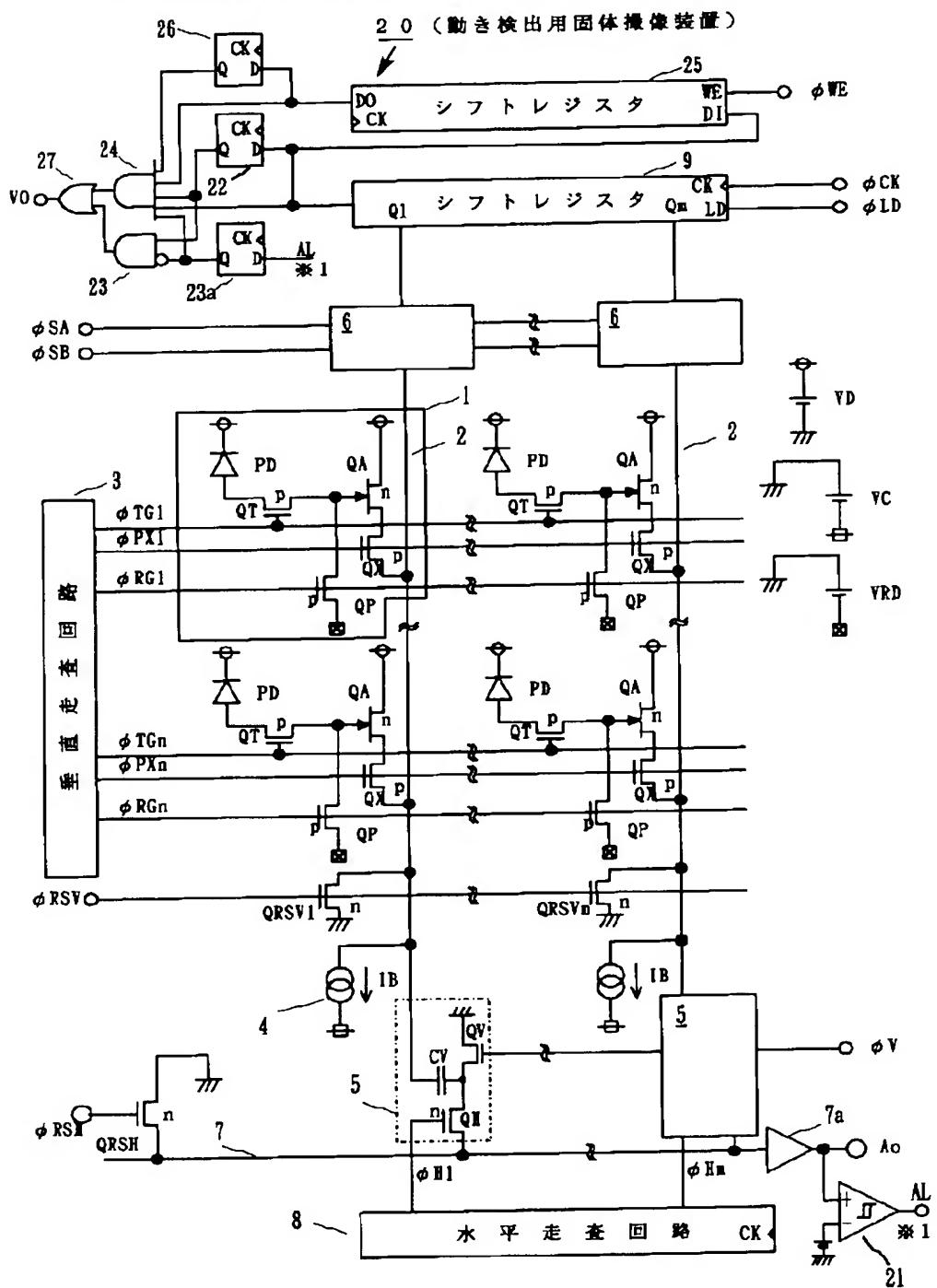


【図4】

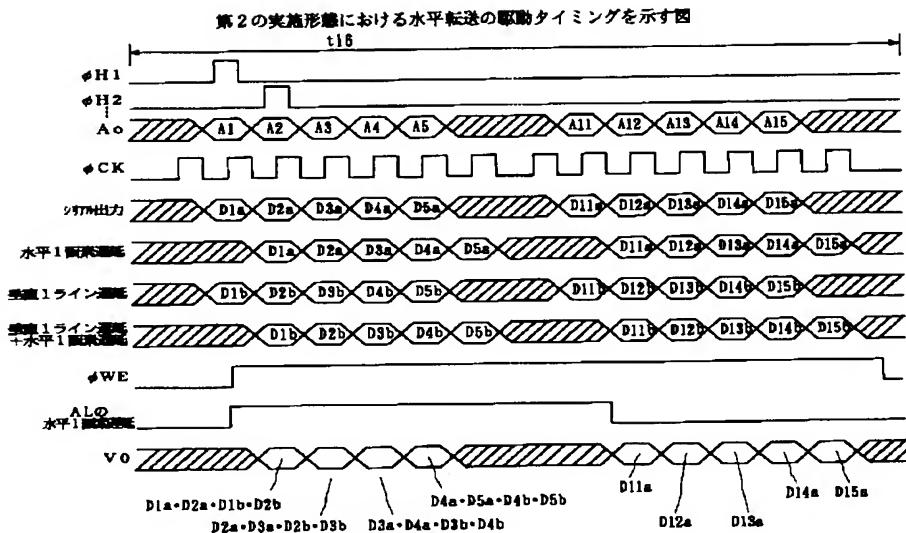


【図5】

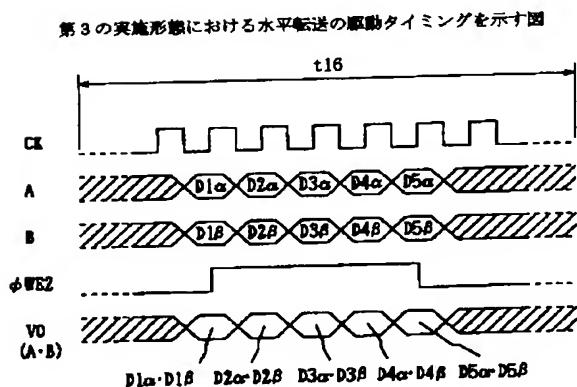
第2の実施形態（請求項1～5、7～10に対応）を示す図



【図6】

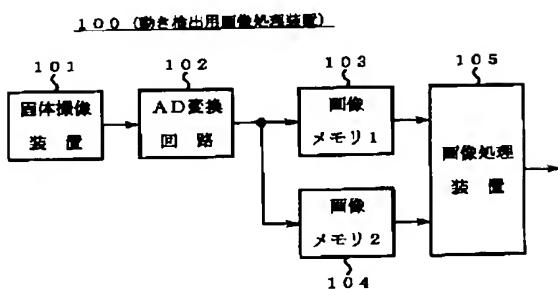


【図8】



【図9】

従来の動き検出用画像処理装置を示す図



【図7】

第3の実施形態（請求項1、2、6～10に対応）を示す図

